

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshihiko KANESHIGE

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DEMODULATOR, OPTICAL DISK DRIVE AND SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e). Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-267297	September 12, 2002

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月12日

出願番号

Application Number:

特願2002-267297

[ST.10/C]:

[JP2002-267297]

出願人

Applicant(s):

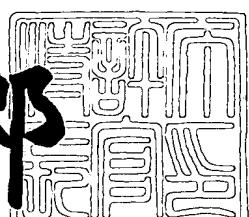
株式会社東芝

東芝デジタルメディアエンジニアリング株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007466

【書類名】 特許願

【整理番号】 ASB025004

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 13/12
G11B 20/18

【発明の名称】 復調回路、光ディスク装置及び半導体集積回路

【請求項の数】 24

【発明者】

【住所又は居所】 東京都青梅市新町3丁目3番地の1 東芝デジタルメディアエンジニアリング株式会社内

【氏名】 兼重 敏彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 390010308

【氏名又は名称】 東芝デジタルメディアエンジニアリング株式会社

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2002-267297

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 複調回路、光ディスク装置及び半導体集積回路

【特許請求の範囲】

【請求項1】 波形変換されたウォーブル信号に基づいてクロックと基準値とを生成するウォーブル信号処理回路と、

前記クロックを用いて、前記波形変換されたウォーブル信号をサンプリングし、サンプルド信号を出力するサンプリング回路と、

光ディスクに記録された記録補助信号を、前記基準値と前記サンプルド信号とを用いて複号するビタビ複号器

とを備えることを特徴とする複調回路。

【請求項2】 前記ウォーブル信号処理回路は、

ウォーブル信号の波形の周期を計測し、前記波形変換されたウォーブル信号を生成する波形変換回路と、

前記波形変換されたウォーブル信号の振幅の平均値を算出し、該平均値に基づいて前記基準値として第1、第2、及び第3の基準値を生成する基準値生成回路と、

前記波形変換されたウォーブル信号と前記平均値とにに基づいて前記クロックを生成するクロック生成回路

とを備えることを特徴とする請求項1に記載の複調回路。

【請求項3】 前記波形変換回路は、

前記ウォーブル信号を2値化する2値化回路と、

該2値化回路に接続され、計測クロックに基づいて、2値化された前記ウォーブル信号のエッジ間の周期を計測する周期計測器と、

該周期計測器に接続されたローパスフィルタ

とを備えることを特徴とする請求項2に記載の複調回路。

【請求項4】 前記基準値生成回路は、

前記ローパスフィルタに接続され、前記平均値を算出する平均化回路と、

該平均化回路に接続され、前記第1、第2、及び第3の基準値を生成する周波数シフト回路

とを備えることを特徴とする請求項3に記載の復調回路。

【請求項5】 前記クロック生成回路は、

前記ローパスフィルタを一方の入力に接続し、前記平均化回路を他方の入力に接続した比較器と、

該比較器に接続され、前記クロックを生成するPLL回路

とを備えることを特徴とする請求項3又は4に記載の復調回路。

【請求項6】 前記周波数シフト回路は、

前記平均値を入力し、前記第1の基準値を出力する第1の乗算回路と、

前記平均値を入力し、前記第3の基準値を出力する第2の乗算回路

とを備え、前記平均値を前記第2の基準値としてそのまま出力することを特徴とする請求項4又は5に記載の復調回路。

【請求項7】 前記ビタビ復号器は、前記サンプルド信号及び前記第1、第2、及び第3の基準値を入力し、第1、第2、及び第3の二乗誤差を出力するブランチメトリック回路と、

前記第1、第2、及び第3の二乗誤差値に基づいて、状態遷移における生き残りパスを算出するパスメトリック回路と、

前記生き残りパスに対応する符号列を記憶し、マージした符号を順次復調信号として出力するパスメモリー回路

とを備えることを特徴とする請求項4～6のいずれか1項に記載の復調回路。

【請求項8】 前記ブランチメトリック回路は、

前記サンプルド信号と前記第1、第2、及び第3の基準値との誤差をそれぞれ算出する第1、第2、及び第3の減算器と、

該第1、第2、及び第3の減算器が出力する誤差信号をそれぞれ二乗する第1、第2、及び第3の乗算器

とを備えることを特徴とする請求項7に記載の復調回路。

【請求項9】 前記ウォーブル信号処理回路は、

ウォーブル信号に基づいて、前記クロックとして第1及び第2のクロックを生成するクロック生成回路と、

前記ウォーブル信号の波形を波形等価し、前記波形を変換する波形変換回路

とを備えることを特徴とする請求項1に記載の復調回路。

【請求項10】 前記クロック生成回路は、

前記ウォーブルを2値化する2値化回路と、

該2値化回路に接続され、前記第1及び第2のクロックを生成するPLL回路とを備えることを特徴とする請求項9に記載の復調回路。

【請求項11】 前記第1のクロックは、2値化した前記ウォーブル信号の立ち上がりと立ち下りが位相同期し、且つ、前記ウォーブル信号の周波数の2倍の周波数を有するクロック信号であることを特徴とする請求項10に記載の復調回路。

【請求項12】 前記第2のクロックは、2値化した前記ウォーブル信号と位相が同期し、且つ、前記ウォーブル信号の周波数と等しい周波数を有するクロック信号であることを特徴とする請求項10又は11に記載の復調回路。

【請求項13】 前記サンプリング回路は、前記第2のクロックの立ち上がりと同期して、サンプリングを行うことを特徴とする請求項12に記載の復調回路。

【請求項14】 前記波形変換回路は、

前記ウォーブル信号を前記第1のクロックの立ち上がりと同期してA/D変換するA/D変換器と、

該A/D変換器に接続されたPRフィルタ

とを備えることを特徴とする請求項11～13のいずれか1項に記載の復調回路。

【請求項15】 前記基準値生成回路は、

前記A/D変換器に接続された絶対値演算回路と、

該絶対値演算回路に接続された平均化回路と、

該平均化回路に接続された乗算回路

とを備えることを特徴とする請求項14に記載の復調回路。

【請求項16】 前記基準値生成回路は、

前記サンプリング回路に接続された絶対値演算回路と、

該絶対値演算回路に接続された平均化回路

とを備えることを特徴とする請求項14に記載の復調回路。

【請求項17】 前記P R フィルタは、

A/D変換された前記ウォーブル信号を入力する第1のフリップフロップと、
該第1のフリップフロップの出力を受け取る第2のフリップフロップと、
該第2のフリップフロップの出力を受け取る第3のフリップフロップと、
A/D変換された前記ウォーブル信号を一方の入力端子に入力し、“1”を他
方の入力端子に入力する第1の乗算器と、

前記第1のフリップフロップの出力を一方の入力端子に入力し、“-1”を他
方の入力端子に入力する第2の乗算器と、

前記第2のフリップフロップの出力を一方の入力端子に入力し、“1”を他
方の入力端子に入力する第3の乗算器と、

前記第3のフリップフロップの出力を一方の入力端子に入力し、“-1”を他
方の入力端子に入力する第4の乗算器と、

前記第1、第2、第3及び第4の乗算器の出力を受け取る加算器

とを備えることを特徴とする請求項14～16のいずれか1項に記載の復調回
路。

【請求項18】 前記ビタビ復号器は、前記サンプルド信号及び前記基準値
を入力し、第1、第2、及び第3の二乗誤差を出力するブランチメトリック回路
と、

前記第1、第2、及び第3の二乗誤差値に基づいて、状態遷移における生き残
りパスを算出するパスメトリック回路と、

前記生き残りパスに対応する符号列を記憶し、マージした符号を順次復調信号
として出力するパスメモリー回路

とを備えることを特徴とする請求項9～17のいずれか1項に記載の復調回路

。

【請求項19】 前記ブランチメトリック回路は、

前記基準値を一方の入力端子に入力し、“-1”を他方の入力端子に入力する
第1の乗算器と、

前記サンプルド信号を一方の入力端子に入力し、前記基準値を他方の入力端子

に入力する第1の減算器と、

前記サンプルド信号を一方の入力端子に入力し、“0”を他方の入力端子に入力する第2の減算器と、

前記サンプルド信号を一方の入力端子に入力し、前記第1の乗算器の出力を他方の入力端子に入力した第3の減算器と、

前記第1の減算器の出力を両方の入力端子に入力した第2の乗算器と、

前記第2の減算器の出力を両方の入力端子に入力した第3の乗算器と、

前記第3の減算器の出力を両方の入力端子に入力した第4の乗算器

とを備えることを特徴とする請求項18に記載の復調回路。

【請求項20】 前記ビタビ復号器は、前記記録補助信号の符号パターンの規則性を利用した状態遷移に基づいてビタビ復号を行うことを特徴とする請求項1～19のいずれか1項に記載の復調回路。

【請求項21】 前記ビタビ復号器が出力する復号信号は、符号“1”及び“0”的連続数が1、2及び3に制約されていることを特徴とする請求項20に記載の復調回路。

【請求項22】 前記ビタビ復号器が出力する復号信号は、符号“0”的最小連続数が3であり、符号1の連続数は1、2及び4に制約されていることを特徴とする請求項20に記載の復調回路。

【請求項23】 半導体チップと、

該半導体チップ上に集積化され、波形変換されたウォーブル信号に基づいてクロックと基準値とを生成するウォーブル信号処理回路と、

前記半導体チップ上に集積化され、前記クロックを用いて、前記波形変換されたウォーブル信号をサンプリングし、サンプルド信号を出力するサンプリング回路と、

前記半導体チップ上に集積化され、光ディスクに記録された記録補助信号を、前記基準値と前記サンプルド信号とを用いて複号するビタビ復号器とを備えることを特徴とする半導体集積回路。

【請求項24】 光ディスクにレーザ光を照射して反射光を読み取るピックアップと、

該ピックアップからのウォーブル信号を増幅する高周波増幅器と、前記ウォーブル信号に基づいて基準値及びサンプルド信号を生成し、前記光ディスクに記録された記録補助信号を、前記基準値と前記サンプルド信号とを用いてビタビ復号する復調回路と、

前記ピックアップの動作を制御するサーボ制御回路と、前記ピックアップに対して再生又は記録に必要な信号処理を行う再生／記録信号処理回路と、

該再生／記録信号処理回路からの記録信号を光ディスクに記録する為の記録制御を行う記録制御回路

とを備えることを特徴とする光ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光ディスク装置に係り、特に光ディスク装置の記録補助信号を復調する復調回路、この復調回路を同一半導体基板上に集積化した半導体集積回路に関する。

【0002】

【従来の技術】

記録可能なCDとしてCD-R/RWがある。このCD-R/RWのディスクには、ピックアップをガイドする為の案内溝（グループ）がプリフォーマットされている。案内溝はウォーブルといって、回転制御用のクロックが検出できるよう半径方向に僅かに蛇行している。このようなトラック構造をウォーブルランドグループという。CD-R/RWにおけるウォーブルドトラックに重畠された情報はATIP (Absolute Time In Pre groove) と呼ばれる。このATIP情報信号からは、CD-R/RWディスク上の絶対時間を得ることが出来る。ATIP情報信号の符号列はデジタル周波数変調信号、即ちバイフェーズ (Binary phase) 信号に変換され、更に2元周波数変位 (FSK: Frequency Shift Keying) 変調されてウォーブルトラックとして記録される。

【0003】

また、記録型DVDとしてDVD+RWと呼ばれるものがある。DVD+RWにおいても、CD-R/RWと同様にトラック構造はウォーブルドランドグループとなっている。DVD+RWにおけるウォーブルドトラックに重畠された情報はADIP (Address In Pre groove) と呼ばれる。ADIP情報信号の符号列は2元位相変位変調 (PSK: Phase Shift Keying) されている。ADIP情報信号からは、主に記録時に記録位置合わせや記録位置確認などに利用されるDVD+RWのディスク上の物理アドレスが得られる。ATIP情報信号及びADIP情報信号は再生時及び記録時において、光ディスクの状態を知るために非常に重要な信号となる。

【0004】

図24に示す従来のATIP復調回路においては、先ず、光ディテクタ110から差分器111を介して、図25(a)に示すウォーブル信号が出力される。このウォーブル信号は、図25(b)に示すように図24に示すFSK復調器112によりFSK復調される。次に、図25(c)に示すように2値化回路113によりFSK復調信号が2値化される。次に、図25(d)に示すように位相同期ループ (PLL) 回路114によりクロックを生成する。その後、図25(c)に示す2値化回路113の出力をPLL回路114が出力するクロック1と同期してフリップフロップ (F/F) 115がラッチしてバイフェーズ信号を復調する。更に、バイフェーズ復調器117がバイフェーズ信号からATIP情報信号を復調していた。

【0005】

一方、図26に示す従来のADIP復調回路においては、図27(a)に示すようなADIP情報信号が光ディスクのウォーブルトラックに重畠記録されている場合、光ディテクタ102から差分器102を介して、図27(a)に示すウォーブル信号が出力される。2値化回路103はウォーブル信号の概中心レベルをスライスレベルとして図27(c)に示すようにウォーブル信号を2値化する。2値化回路103の出力はPLL回路104に入力され、図27(c)に示すクロック1及び図27(d)に示すクロック2が生成される。EX-OR回路105は、2値化回路103の出力とクロック2とをEX-OR演算し、図22(

e) に示すような波形の信号を出力する。F/F106は、EX-OR回路105の出力をクロック1に基づいてラッチしてADIP情報信号を復調していた。

【0006】

【特許文献】

特開2002-94383公報 第4~5頁、図1

【0007】

【発明が解決しようとする課題】

図24に示す従来のATIP復調回路及び図26に示す従来のADIP復調回路においては、記録済みディスクの再生時には記録信号がウォーブル信号に重畠され、ウォーブル信号のS/Nは相対的に低下する。更に、記録時には記録光が反射してウォーブル信号に重畠されるため、ウォーブル信号のS/Nは著しく低下する。

【0008】

図24に示す従来のATIP復調回路は、図28(a)に示すように、S/Nが低下してウォーブル信号が歪んだ場合、図28(b)に示すようにFSK復調器113が波形歪みを含んだ信号部分を正常にFSK復調できない。この結果、図28(e)に示すように、復調されたATIP情報信号は復調エラーを有している。このように、S/Nが著しく低下してウォーブル信号が歪んだ場合、従来のATIP復調回路は正確に復調を行うことが出来なかった。

【0009】

一方、図26に示す従来のADIP復調回路において、図29(b)に示すようにウォーブル信号が歪んだ場合、2値化回路103はウォーブル信号を正しく2値化することができない。このため、EX-OR回路105の出力にはエラーが生じる。この結果、図29(f)及び図29(g)に示す復調されたADIP情報信号は復調エラーを有することとなる。このようにウォーブル信号のS/Nが著しく低下した場合、従来のADIP復調回路も従来のATIP復調回路と同様に正確な復調を行うことが出来なかった。

【0010】

上記問題点を鑑み、本発明は、ウォーブル信号のS/Nが著しく低下しても記

録補助信号を低エラー率で復調可能な復調回路、光ディスク装置及び半導体集積回路を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成する為に、本発明の第1の特徴は、（イ）波形変換されたウォーブル信号に基づいてクロックと基準値とを生成するウォーブル信号処理回路；（ロ）前記クロックを用いて、前記波形変換されたウォーブル信号をサンプリングしてサンプルド信号を出力するサンプリング回路；（ハ）基準値とサンプルド信号とによりビタビ復号を行い光ディスクに変調して記録された記録補助信号を復号するビタビ復号器とを備える復調回路であることを要旨とする。ここで、「ウォーブル信号」とは、ピックアップ内の光ディテクタのA面及びB面より得られる信号をそれぞれA、Bとして、A-Bなる演算により得られる信号であることを意味する。また、「記録補助信号」とは、光ディスクのウォーブルに記録された、光ディスク上の物理アドレス及び絶対時間等の再生及び記録補助に用いられる信号、或いはこれと等価な信号であることを意味する。

【0012】

第1の特徴に係る復調回路によれば、ウォーブル信号をビタビ復号器によりビタビ復号することで、エラー率が低く光ディスクに重畳記録された記録補助信号を復調することが出来る。第1の特徴に係る復調回路は、ウォーブル信号処理回路により基準値及び被復号データをウォーブル信号から生成する。ここで、基準値及び被復号データの幅のいずれかを大きくとることにより、より高精度なビタビ復号が可能となる。

【0013】

本発明の第2の特徴は、（イ）半導体チップ；（ロ）半導体チップ上に集積化され、波形変換されたウォーブル信号に基づいてクロックと基準値とを生成するウォーブル信号処理回路；（ハ）半導体チップ上に集積化され、クロックを用いて、波形変換されたウォーブル信号をサンプリングしてサンプルド信号を出力するサンプリング回路；（ニ）半導体チップ上に集積化され、基準値とサンプルド信号とによりビタビ復号を行い光ディスクに変調して記録された記録補助信号を

復号するビタビ復号器を備える半導体集積回路であることを要旨とする。

【0014】

本発明の第2の特徴に係る半導体集積回路を光ディスク装置に用いることにより、光ディスク装置の小型化・軽量化が達成できる。

【0015】

本発明の第3の特徴は、(イ)光ディスクにレーザ光を照射して反射光を読み取るピックアップ；(ロ)ピックアップからのウォーブル信号を増幅する高周波増幅器；(ハ)ウォーブル信号に基づいて基準値及びサンプルド信号を生成し、光ディスクに記録された記録補助信号を、基準値とサンプルド信号とを用いてビタビ復号する復調回路；(ニ)ピックアップの動作を制御するサーボ制御回路；(ホ)ピックアップに対して再生又は記録に必要な信号処理を行う再生／記録信号処理回路；(ヘ)再生／記録信号処理回路からの記録信号を光ディスクに記録する為の記録制御を行う記録制御回路；(ト)ディスクモータの回転を制御するディスクモータ制御回路を備える光ディスク装置であることを要旨とする。

【0016】

第3の特徴に係る光ディスク装置によれば、記録済み光ディスクの再生時及び記録時においても、安定して再生及び記録動作を実行することが出来る。

【0017】

【発明の実施の形態】

次に、図面を参照して、本発明の第1及び第2の実施の形態を説明する。この第1及び第2の実施の形態における図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0018】

(第1の実施の形態)

本発明の第1の実施の形態に係る光ディスク装置は、図1に示すように、光ディスク11にレーザ光を照射して反射光を読み取るピックアップ12、ピックアップ12からのウォーブル信号を増幅する高周波増幅器(RF増幅器)15、RF増幅器15が出力するウォーブル信号に基づいて基準値及びサンプルド信号を生成し、光ディスク11に記録された記録補助信号を、基準値とサンプルド信号

とを用いてビタビ複号する復調回路16a、ピックアップ12の動作を制御するサーボ制御回路17、ピックアップ12に対して再生又は記録に必要な信号処理を行う再生／記録信号処理回路18a、再生／記録信号処理回路18aからの記録信号を光ディスク11に記録する為の記録制御を行う記録制御回路19を備える。更に、第1の実施の形態に係る光ディスク装置は、光ディスク11を駆動させるディスクモータ13、ディスクモータ11の回転を制御するディスクモータ制御回路20を備える。RF増幅器15は、トラッキングエラー（TE）信号、フォーカスエラー（FE）信号及び情報信号であるRF信号を出力する。第1の実施の形態に係る復調回路16aは、記録補助信号としてバイフェーズ信号を復調する。図1に示すピックアップ12は、図2に示すように、光ディテクタ12aを内蔵している。

【0019】

復調回路16aは、図1に示すように、波形変換されたウォーブル信号に基づいてクロックCLKと基準値とを生成するウォーブル信号処理回路91a、クロックCLKを用いて、波形変換されたウォーブル信号をサンプリングし、サンプルド信号を出力するサンプリング回路53a、光ディスク11に記録された記録補助信号を、基準値とサンプルド信号とを用いて複号するビタビ複号器31aを備える。サンプリング回路53aとしては、例えばフリップフロップ（F/F）が利用できる。復調回路16aは、ATIP復調回路61を介してシステムコントローラ（CPU）21aと接続される。CPU21aにおいては、光ディスク11上の時間情報が算出される。CPU21aは、算出して得られた光ディスクの絶対時間に基づいてサーボ制御回路17、再生／記録信号処理回路18a、ディスクモータ制御回路20の動作を制御する。CPU21aは、図1に示す各々の回路の制御タイミングや全体の動作も制御する。

【0020】

ウォーブル信号処理回路91aは、図1に示すように、ウォーブル信号の周期を計測し、波形変換されたウォーブル信号を生成する波形変換回路50a、波形が変換されたウォーブル信号の振幅の平均値を算出し、この平均値に基づいて基準値として第1、第2、及び第3の基準値を生成する基準値生成回路40a、波

形変換されたウォーブル信号と平均値に基づいてクロックCLKを生成するクロック生成回路30aを備える。

【0021】

波形変換回路50aは、図2に示すように、ウォーブル信号を2値化する2値化回路32a、2値化回路32aに接続され、計測クロックに基づいて、2値化されたウォーブル信号のエッジ間の周期を計測する周期計測器51、周期計測器51に接続されたローパスフィルタ(LPF)52を備える。周期計測器51には、例えばプログラマブル水晶発振器等の発振周波数可変な発振回路が内蔵されている。或いは、一定周波数で発振する発振回路と、この発振回路の発振周波数を分周する分周比可変な周波数分周器が周期計測器51に内蔵されていてもよい。LPF52は、例えばデジタルフィルタで構成されている。

【0022】

基準値生成回路40aは、図2に示すように、LPF52に接続され、平均値を算出する平均化回路54、平均化回路に接続され、第1、第2、及び第3の基準値を生成する周波数シフト回路60を備える。周波数シフト回路60は、図3(a)及び(b)に示すように、平均値を入力し、第1の基準値を出力する第1の乗算回路60a、平均値を入力し、第3の基準値を出力する第2の乗算回路60bを備える。また、周波数シフト回路60は、平均値を第2の基準値としてそのまま出力する。

【0023】

クロック生成回路30aは、図2に示すように、LPF52を一方の入力に接続し、平均化回路54を他方の入力に接続した比較器55と、比較器55に接続され、クロックCLKを生成するPLL回路56を備える。比較器55は、例えばデジタルコンパレータで構成される。PLL回路56は、比較器55の出力を一方の入力とする位相比較器と、位相比較器の出力を受け取るループフィルタと、ループフィルタの出力を受け取る制御発振器と、制御発振器の出力が入力に接続され出力が位相比較器の他方の入力に接続された分周器とから主に構成されている。

【0024】

ATIP復調回路61は、図2に示すように、復調回路16aに接続された同期信号検出器57及びバイフェーズ復調器58、同期信号検出器57及びバイフェーズ復調器58に接続されたATIP復号器59を備える。同期信号検出器57は、復調回路16aが出力するバイフェーズ信号中の同期信号を検出する。バイフェーズ復調器58は、バイフェーズ信号からATIP情報信号を復調する。ATIP復号器59は、ATIP情報信号と同期信号とに基づいて、ATIP情報信号を、図1に示すCPU21aが読み取り可能なデータ列に変換する。

【0025】

ビタビ復号器31aは、図3(a)に示すように、サンプルド信号と第1、第2、及び第3の基準値を入力し、第1、第2、及び第3の二乗誤差を出力するブランチメトリック回路25a、第1、第2、及び第3の二乗誤差に基づいて、状態遷移における生き残りパスを算出するパスメトリック回路26a、生き残りパスに対応する符号列を記憶し、マージした符号を順次復調信号として出力するパスメモリー回路27aを備える。

【0026】

ブランチメトリック回路25aは、図3(b)に示すように、サンプルド信号と第1、第2、及び第3の基準値との誤差をそれぞれ算出する第1の減算器41a、第2の減算器41b、及び第3の減算器41cと、第1、第2、及び第3の減算器41a、41b、41cが出力する誤差信号をそれぞれ二乗する第1の乗算器42a、第2の乗算器42b、及び第3の乗算器42cを備える。また、パスメトリック回路26aは、主に加算器により構成される。パスメモリー回路27aは、主にセレクタとレジスタにより構成される。

【0027】

RF増幅器15からのRF信号は、図1に示す再生／記録信号処理回路18aに送られる。再生時においては、RF信号はデータ信号の部分が抜き取られて2値化されると共に、ビットクロック及び同期信号が抽出・生成され、同時に復調と誤り訂正が行われる。その後一旦バッファリングされ、ホストコンピュータ(図示せず)へ送られる。一方、記録時においては、外部から入力されるデータ信号がバッファリングされ、バッファリングされた信号にIDデータ、パリティビ

ット等が付加される。その後、誤り訂正符号化と変調が施され、ビットクロックと同期がとられながら記録制御回路19に入力される。記録制御回路19においては、光ディスク11にピットパターンを形成できるようなレーザ駆動パルスに変換され、ピックアップ12のレーザを駆動する。また、RF増幅器15から出力されたTE信号及びFE信号は、サーボ制御回路17に入力され送りモータドライバ82を介して送りモータ14を駆動する。

【0028】

光ディスク11の回転速度制御方式が角速度一定 (CAV ; Constant Angular Velocity) 方式の場合は、ディスクモータ13からのFG信号が、図1に示すディスクモータ制御回路20に入力される。この結果、ディスクモータ制御回路20により、ディスクモータドライバ83を介して角速度、即ち光ディスク11の回転速度が一定となるようにディスクモータ13の回転速度が制御される。線速度一定 (CLV ; Constant Linear Velocity) 方式の場合は、線速度 (光ディスク11と照射レーザビームの相対速度) が一定となるようにディスクモータ13の回転速度がディスクモータ制御回路20により制御される。

【0029】

図1に示すRF増幅器15、復調回路16a、ATIP復調回路61、再生/記録信号処理回路18a、記録制御回路19、ディスクモータ制御回路20、CPU21aは、同一半導体チップ上に集積化し、半導体集積回路90aとして構成することが可能である。半導体集積回路90aはシステムLSIであり、CPU21aと各回路を接続する配線はバスラインとして機能する。

【0030】

光ディスク11に重畠記録されているATIP情報信号は、図5(a)に示すような符号列である。所定周期で同期信号が挿入される。ATIP情報信号は図5(b)に示すようなバイフェーズ信号に変換される。同期信号は“11101000”又は“00010111”に変換される。図1に示す光ディスク11には、図5(e)に示すようなバイフェーズ信号を更に二元FSK変調した信号が記録されている。バイフェーズ信号1ビットは、二元FSK変調信号3.5周期を構成する。図5(b)に示すように、“0”は“11”又は“00”に“1

”は“01”又は“10”に変換される。このビット列は、図5(c)に示すような波形となり、一部を拡大すると図5(d)に示すような波形となる。図5(e)に示すように、バイフェーズ信号がハイレベルの場合、二元FSK変調信号は $F_w + \alpha$ 、ローレベルの場合は $F_w - \alpha$ となる。 F_w は二元FSK変調信号の平均周波数を表し、 α は所定の周波数シフト量を表す。二元FSK変調信号の平均周波数 F_w は一定で、一般的に、“1”的場合は+5%程度の変調が施され、“0”的場合は-5%程度の変調が施される。

【0031】

ビタビ復号器は、図4(a)に示す状態遷移図に基づいてビタビ復号を行う。また、図4(a)に示す状態遷移図は、表1に示すように、バイフェーズ情報信号の符号列と状態 $S(0) \sim S(3)$ は対応付けがなされている：

【表1】

バイフェーズ符号列	状態	基準値
00	$S(0)$	$A \cdot (1 - \alpha)$
10	$S(1)$	A
01	$S(2)$	A
11	$S(3)$	$A \cdot (1 - \alpha)$

図4(a)の状態遷移図からは、図4(b)に示すトレリス線図が得られる。バスメトリック回路26a及びバスメモリー回路27aは、図4(a)及び図4(b)に示す状態遷移図及びトレリス線図に同定して構成される。

【0032】

次に、図1～図7を用いて第1の実施の形態に係る復調回路16aの動作を説明する。

【0033】

(イ) 図6(a)に示すようなバイフェーズ信号が、図6(b)に示すように、FSK変調されて、光ディスクのウォーブルトラックに重畠記録されているとする。尚、図6(a)に示すバイフェーズ信号は、図7(a)に示すバイフェーズ信号の一部を示している。RF増幅器15は、図6(b)に示すウォーブル信

号を出力する。バイフェーズ信号は、図2に示す光ディテクタ12aのA面及びB面より得られる信号をそれぞれA、Bとすると、A-Bなる演算により得られる。図6(b)に示すウォーブル信号は、ウォーブルトラックの蛇行に相似した信号となる。RF増幅器15が出力するウォーブル信号は、図2に示す2値化回路32aに入力される。

【0034】

(ロ) 2値化回路32aは、ウォーブル信号の平均レベルをスライスレベルとしてウォーブル信号を2値化する。図6(c)に示す2値化されたウォーブル信号は周期計測器51に入力される。周期計測器51は、図6(d)に示すように、周期計測データを2値化信号のエッジ発生毎に出力する。計測クロックの周波数は、ウォーブル周波数の256倍程度以上であることが望ましい。よって、CD1倍速の場合、ウォーブル信号周波数は22kHz程度なので、計測クロックの周波数は5.6MHz程度となる。尚、ディスク回転数(倍速数)が上がれば計測クロックの周波数も比例して上げる必要がある。周期計測器51が出力する周期計測データは、図6(e)に示すように、LPF52により平滑化される。LPF52は、バイフェーズ信号の周波数帯域を通過可能なカットオフ周波数に設定されている。尚、バイフェーズ信号周波数はウォーブル周波数の7倍程度である。したがって、LPF52のカットオフ周波数はCD1倍速時で22kHz $\times 7 = 160$ kHz程度であることが好ましい。

【0035】

(ハ) 平均化回路54は、図6(e)の破線に示すように、LPF52の出力の振幅の平均値を算出する。LPF52の出力をアナログ的に見ると図7(b)に示すような波形となる。よって、図7(b)のAで示す値が平均値となる。尚、図7(b)に示す波形は、図7(a)に示すバイフェーズ信号の符号列を反映した振幅を有している。平均化回路54が出力する平均値Aは、図3(a)に示すように、周波数シフト回路60の第1の乗算回路60a及び第2の乗算回路60bに入力される。第1の乗算回路60aは、平均値Aに $(1 - \alpha)$ を乗じて第1の基準値として出力する。第2の乗算回路60bは、平均値Aに $(1 + \alpha)$ を乗じて第3の基準値として出力する。また、平均値Aを第2の基準値としてその

まま出力する。尚、CD-R/RWの規格ではウォーブル平均周波数22.5 kHzに対して、周波数シフト量 α は±1 kHzとあるので、これに適合させる場合は、 $\alpha = 1 / 22.5 = 0.04$ となる。第1、第2、及び第3の基準値は、図3 (b) に示すように、ビタビ復号器31aのブランチメトリック回路25aに入力される。

【0036】

(二) 比較器55は、LPF52が输出する信号と平均値Aとの大小を比較する。比較器55は、図6 (f) に示すように、LPF52が输出する信号が平均値Aよりも大であればハイレベル信号を出力する。一方、LPF52がoutputする信号が平均値Aよりも小であればローレベル信号を出力する。PLL回路56は、図6 (g) に示すように、比較器55がoutputするデジタル信号のキャリア成分に周波数が一致したクロックCLKを生成する。図6 (f) 及び図6 (g) に示すように、比較器55の出力信号の立ち下がりとPLL回路56の出力クロックの立ち下がりが位相同期している。

【0037】

(ホ) サンプリング回路53aは、図6 (h) に示すように、PLL回路56がoutputするクロックCLKの立ち下がりと同期して、LPF52の出力をサンプリングする。サンプリング回路53aがoutputするサンプルド信号は、図3 (a) に示すビタビ復号器31bのブランチメトリック回路25aに入力される。

【0038】

(ヘ) 図3 (b) に示す第1の減算器41aは、サンプルド信号と第1の基準値との誤差信号を第1の乗算器42aに出力する。第2の減算器41bは、サンプルド信号と第2の基準値との誤差信号を第2の乗算器42bに出力する。第3の減算器41cは、サンプルド信号と第3の基準との誤差信号を第3の乗算器42cに出力する。第1の乗算器42aは、サンプルド信号と第1の基準値との誤差信号を二乗して、第1の二乗誤差をパスメトリック回路26aに出力する。第2の乗算器42bは、サンプルド信号と第2の基準値との誤差信号を二乗して、第2の二乗誤差をパスメトリック回路26aに出力する。第3の乗算器42cは、サンプルド信号と第3の基準値との誤差信号を二乗して、第3の二乗誤差をパ

スマートリック回路26aに出力する。

【0039】

(ト) パスマートリック回路26aは第1～第3の二乗誤差をそれぞれ比較して、第1～第3の二乗誤差の中で最小となる二乗誤差を判断する。ここで、図7(a)に示す“範囲1”において、バイフェーズ信号は、“001110100”である。図7(b)に示すサンプルド信号は、時刻t1においては、第2の基準値と最も値が近く第2の二乗誤差が最小となる。時刻t2においては、第1の基準値と最も値が近く第1の二乗誤差が最小となる。時刻t3においては、第2の基準値と最も値が近く第2の二乗誤差が最小となる。時刻t4においては、第3の基準値と最も値が近く第3の二乗誤差が最小となる。時刻t5においては、第3の基準値と最も値が近く第3の二乗誤差が最小となる。このようにして、時刻t6においては第2の二乗誤差が、時刻t7においては第2の二乗誤差が、時刻t8においては第2の二乗誤差が、時刻t9においては第1の二乗誤差が、時刻t10においては第1の二乗誤差がそれぞれ最小となる。即ち、“範囲1”の各時刻においては、サンプルド信号は、 $t_1 : A \rightarrow t_2 : A \cdot (1 - \alpha) \rightarrow t_3 : A \rightarrow t_4 : A \cdot (1 + \alpha) \rightarrow t_5 : A \cdot (1 + \alpha) \rightarrow t_6 : A \rightarrow t_7 : A \rightarrow t_8 : A \rightarrow t_9 : A \cdot (1 - \alpha) \rightarrow t_{10} : A \cdot (1 - \alpha)$ のように第1～第3の基準値と対応する。表1に示す“状態”と対応付けさせると“S(0) → S(2) → S(3) → S(3) → S(1) → S(2) → S(1) → S(0) → S(0)”と遷移することとなる。よって、図4(b)の矢印に示すようにトレリス線図上を遷移する。

【0040】

(チ) 表1の対応付けにより、“ $t_1 : 00 \rightarrow t_2 : 01 \rightarrow t_3 : 11 \rightarrow t_4 : 11 \rightarrow t_5 : 11 \rightarrow t_6 : 00 \rightarrow 00 \rightarrow 00 \rightarrow 00 \rightarrow 00$ ”と前のデータと相関を有するセレクト信号をパスマモリー回路27aに出力する。パスマモリー回路27aは、パスマートリック回路26aが出力するセレクト信号に対応する符号列を記憶し、マージした符号を順次復調信号として出力する。この結果、パスマモリー回路27aは、“001110100”を出力する。

【0041】

このように、第1の実施の形態によれば、ビタビ復号器31aに入力する基準値を基準値生成回路40aにより3パターンの第1～第3の基準値を生成し、サンプリング回路53aが出力するサンプルド信号と第1～第3の基準値とによりビタビ復号を行っている。これによりS/Nが低下してウォーブル信号が歪んでも、正確にビタビ復号を行うことが出来る。正確なビタビ復号が可能なので、S/Nが低下してもウォーブル信号からバイフェーズ信号を復調可能な復調回路16aを提供できる。この結果、ATIP復調回路61も正確にバイフェーズ信号からATIP情報信号を復調することが可能となる。したがって、動作が非常に安定した光ディスク装置を提供することができる。

【0042】

図8に示すように、第1の実施の形態の第1の変形例に係る光ディスク装置は、図1及び図2に示すビタビ復号器31aが、図8に示すように、ATIP情報信号の符号パターンの規則性を利用してビタビ復号を行う点が図4と異なる。ATIP情報信号は規則性を有するため、バイフェーズ信号も同様に規則性を有する。図8(a)に示す状態遷移図は、バイフェーズ信号のランレンジス長を利用している。

【0043】

図8(a)に示すように、バイフェーズ信号の符号“1”に係る状態遷移は、 $S(1) \rightarrow S(2) \rightarrow S(1)$ 、 $S(0) \rightarrow S(2) \rightarrow S(1)$ 、 $S(01) \rightarrow S(2) \rightarrow S(3)$ であり、バイフェーズ信号の符号列は“10”となり“1”的連続数は1である。 $S(0) \rightarrow S(2) \rightarrow S(3) \rightarrow S(1)$ 、 $S(01) \rightarrow S(2) \rightarrow S(3) \rightarrow S(1)$ 、 $S(1) \rightarrow S(2) \rightarrow S(3) \rightarrow S(1)$ と状態遷移する場合は、バイフェーズ信号の符号列は“110”となり“1”的連続数は2である。 $S(01) \rightarrow S(2) \rightarrow S(3) \rightarrow S(31) \rightarrow S(1)$ 、 $S(0) \rightarrow S(2) \rightarrow S(3) \rightarrow S(31) \rightarrow S(1)$ 、 $S(1) \rightarrow S(2) \rightarrow S(3) \rightarrow S(31) \rightarrow S(1)$ と状態遷移する場合バイフェーズ信号の符号列は“1110”となり“1”的連続数は3である。

【0044】

また、バイフェーズ信号の符号“0”に係る状態遷移は、 $S(2) \rightarrow S(1)$

$\rightarrow S(2), S(3) \rightarrow S(1) \rightarrow S(2), S(31) \rightarrow S(1) \rightarrow S(2)$
 であり、バイフェーズ信号の符号列は“01”となり“0”的連続数は1である。 $S(2) \rightarrow S(1) \rightarrow S(0) \rightarrow S(2), S(3) \rightarrow S(1) \rightarrow S(0) \rightarrow S(2), S(31) \rightarrow S(1) \rightarrow S(0) \rightarrow S(2)$ と状態遷移する場合は、バイフェーズ信号の符号列は“001”となり“0”的連続数は2である。 $S(2) \rightarrow S(1) \rightarrow S(0) \rightarrow S(01) \rightarrow S(2), S(3) \rightarrow S(1) \rightarrow S(0) \rightarrow S(01) \rightarrow S(2), S(31) \rightarrow S(1) \rightarrow S(0) \rightarrow S(01) \rightarrow S(2)$ と状態遷移する場合は、バイフェーズ信号の符号列は“0001”となり符号“0”的連続数は3である。

【0045】

このように、バイフェーズ信号の符号列は、同期信号部分を含めても符号“1”及び“0”的連続数は1、2、3のみである。第1の実施の形態の第1の変形例に係るビタビ復号器は、“1”及び“0”的連続数が1、2、3以外の復調信号を出力することがない。第1の実施の形態の第1の変形例に係るバスメトリック回路、バスメモリー回路は、図8(a)及び(b)に示す状態遷移図及びトレリス線図に同定して構成される。

【0046】

第1の実施の形態の第1の変形例においては、バイフェーズ信号の符号列、状態及び基準値は表2に示すような対応付けがなされている：

【表2】

バイフェーズ符号列	状態	基準値
(0) 00	$S(01)$	$A \cdot (1 - \alpha)$
00	$S(0)$	$A \cdot (1 - \alpha)$
10	$S(1)$	A
01	$S(2)$	A
11	$S(3)$	$A \cdot (1 + \alpha)$
(1) 11	$S(31)$	$A \cdot (1 + \alpha)$

ここで、図9(a)に示すように、バイフェーズ信号の符号列が“00111

0100”であったとする。この場合、図9 (c) に示すように、“t2:S(0) → t3:S(2) → t4:S(3) → t5:S(31) → t6:S(1) → t7:S(2) → t8:S(1) → t9:S(0) → t10:S(01)”と状態が遷移する。トレリス線図上では、図9 (b) の矢印に示すように遷移することとなる。

【0047】

次に、図8～図11を用いて第1の実施の形態の第1の変形例に係る復調回路の動作を説明する。第1の実施の形態の第1の変形例においては、ウォーブル信号の一部に波形歪みが発生しているとして説明する。但し、第1の実施の形態に係る復調回路16aと同一の動作については、重複した記載を省略する。

【0048】

(イ) 図10 (a) の“範囲2”においては、バイフェーズ信号の符号列は“101001”である。図10 (a) の“範囲2”に示す区間において取り得るバイフェーズ信号の符号パターンを図11 (b) に示す。但し、BP1、BP2及びBP6期間においては、エラーは発生しないとしている。尚、符号“0”及び“1”的連続符号長は1～3との制約を設けている。

【0049】

(ロ) ウォーブル信号が歪んでいるため、図10 (d) に示すように、ウォーブル信号の2値化信号は一部にエラーを有する波形となる。図10 (e) に示すウォーブル周期信号もエラーを反映している。従来のATIP復調回路においては、図10 (g) に示すように、FSK復調器の出力を2値化した波形はウォーブル信号の波形歪みの影響を直接受けている。

【0050】

(ハ) 図10 (h) に示すクロックCLKの立ち下がりと同期して、図10 (f) に示す周期変換信号がサンプリングされる。ここで、図10 (c) にサンプルド信号の理想値を示す。尚、サンプルド信号を1、0、-1に正規化して示している。図10 (f) より得られるサンプルド信号は、“0、0.5、0、1、0”である。

【0051】

(二) サンプルド信号が“0, 0. 5, 0, 1, 0”の場合、図11(c)とのそれぞれの平均二乗誤差(MSE)を求めるとき、図11(d)に示す値となる。図11(a)のパターン1が平均二乗誤差が最小である。この結果、パターン1のバイフェーズ符号列がビタビアルゴリズムにより復調される。一方、従来の復調回路では、図10(a)に示すバイフェーズ信号と図10(j)に示す復調されたバイフェーズ信号に不一致が生じている。

【0052】

第1の実施の形態の第1の変形例によれば、ATIP情報信号及びバイフェーズ信号の符号列の規則性から状態遷移に制約を設けることにより、復調エラーを低減させることが出来る。したがって、ウォーブル信号のS/Nが低下しても非常に高精度に復調を行うことが可能となる。

【0053】

図12に示すように、第1の実施の形態の第2の変形例に係る光ディスク装置は、CPU21bが、光ディスク11の回転周波数に応じて波形変換回路50aの動作を制御する点が図1と異なる。即ち、光ディスク11の回転周波数に応じて周期計測器51の計測クロックの周波数及びLPF52のカットオフ周波数を制御する。CPU21は、光ディスク11の回転速度を検出可能である。このように第1の実施の形態の第1の変形例に係る光ディスク装置によれば、波形変換回路50aが回転周波数が変化しても安定してウォーブル信号の波形を変換することが可能となる。

【0054】

(第2の実施の形態)

本発明の第2の実施の形態に係る光ディスク装置は、図13に示すように、ウォーブル信号処理回路91bのクロック生成回路30bが、ウォーブル信号に基づいて第1のクロックCLK₁及び第2のクロックCLK₂を生成する点が図1と異なる。波形変換回路50bは、波形等価によりウォーブル信号の波形を変換する。第2の実施の形態に係る復調回路16cは、記録補助信号としてADIP情報信号を復調する。復調回路16cは、ADIP復号器71を介してCPU21cに接続される。ADIP復号器71は、復調回路16cが復調したADIP

情報信号をC P U 2 1 c が読み取り可能なデータ列に変換する。再生／記録信号処理回路18 b は、再生時においては、復調・誤り訂正後のデータ信号はM P E G 2 規格に基づくビデオ・オーディオエンコーダ／デコーダのデコーダ部で復号される。そして元のビデオ信号及びオーディオ信号が再生される。一方、記録時には外部から入力されるビデオ・オーディオ信号が、M P E G 2 規格に基づき圧縮符号化される。この結果、符号化データが生成される。生成された符号化データに更に誤り訂正符号化、変調が施される。他の構造については図1と同様である。

【0055】

クロック生成回路30 b は、図14に示すように、ウォーブル信号を2値化する2値化回路32 b、2値化回路32 bに接続され、第1のクロックC L K₁ 及び第2のクロックC L K₂ を生成するP L L回路33を備える。第1のクロックC L K₁ は、2値化したウォーブル信号の立ち上がりと立ち下りとが位相同期し、且つ、ウォーブル信号の周波数の2倍の周波数を有するクロック信号である。第2のクロックC L K₂ は、2値化したウォーブル信号と位相が同期し、且つ、ウォーブル信号の周波数と等しい周波数を有するクロック信号である。

【0056】

波形変換回路50 b は、図14に示すように、ウォーブル信号を入力し、第1のクロックC L K₁ の立ち上がりと同期してウォーブル信号をA／D変換するA／D変換器34、A／D変換器34に接続されたパーシャルレスポンス（P R）フィルタ36を備える。P Rフィルタ36は、第1のクロックC L K₁ と同期して、A／D変換されたウォーブル信号を波形等価する。

【0057】

基準値生成回路40 b は、図14に示すように、A／D変換器34に接続された絶対値演算回路35、絶対値演算回路35に接続された平均化回路38、平均化回路38に接続された乗算回路39を備える。

【0058】

P Rフィルタ36は、図15（a）に示すように、A／D変換されたウォーブル信号を入力する第1のフリップフロップ22 a、第1のフリップフロップ22

aの出力を受け取る第2のフリップフロップ22b、第2のフリップフロップ22bの出力を受け取る第3のフリップフロップ22c、A/D変換されたオーバル信号を一方の入力端子に入力し、“1”を他方の入力端子に入力する第1の乗算器23a、第1のフリップフロップ22aの出力を一方の入力端子に入力し、“-1”を他方の入力端子に入力する第2の乗算器23b、第2のフリップフロップ22bの出力を一方の入力端子に入力し、“1”を他方の入力端子に入力する第3の乗算器23c、第3のフリップフロップ22cの出力を一方の入力端子に入力し、“-1”を他方の入力端子に入力する第4の乗算器23dと、第1、第2、第3及び第4の乗算器23a、23b、23c、23dの出力を受け取る加算器24を備える。

【0059】

ビタビ復号器31bのブランチメトリック回路25bは、図16に示すように、基準値を一方の入力端子に入力し、“-1”を他方の入力端子に入力する第1の乗算器44a、サンプルド信号を一方の入力端子に入力し、基準値を他方の入力端子に入力する第1の減算器43a、サンプルド信号を一方の入力端子に入力し、“0”を他方の入力端子に入力する第2の減算器43b、サンプルド信号を一方の入力端子に入力し、第1の乗算器44aの出力を他方の入力端子に入力した第3の減算器43c、第1の減算器43aの出力を両方の入力端子に入力した第2の乗算器44b、第2の減算器43bの出力を両方の入力端子に入力した第3の乗算器44c、第3の減算器43cの出力を両方の入力端子に入力した第4の乗算器44dを備える。

【0060】

また、図13に示すRF増幅器15、復調回路16c、ADIP復号器61、再生/記録信号処理回路18b、記録制御回路19、ディスクモータ制御回路20、CPU21cは、同一半導体基板上にモノリシックに集積化し、半導体集積回路90bとして構成することが可能である。

【0061】

PRフィルタ36が出力する波形等価信号は、ADIP符号列と表3に示すような対応付けがなされている：

【表3】

ADIP符号列	状態	サンプル値
00	S(0)	-R
10	S(1)	0
01	S(2)	0
11	S(3)	R

PRフィルタ36は、A/D変換器34が出力するサンプリングデータをS(n)、波形等価信号をP[n]とすると：

$$P[n] = -S(n-3) + S(n-2) - S(n-1) + S(n) \dots \dots (1)$$

なる演算を行う。

【0062】

ADIP情報信号には図17に示すような符号パターンがある。Tはウォーブル信号のキャリア周期。ADIPによりキャリア信号が位相変調される場合は、1T、2T、4Tが存在する。位相変調されない場合は、3T、5T、85T、87T、89Tが存在する。

【0063】

次に、図13～図19を用いて、第2の実施の形態に係る復調回路16cの動作を説明する。

【0064】

(イ) 図13に示す光ディスク11には、図18(a)に示すようなADIP情報信号が記録されている。ADIP情報信号の符号列はPSK変調されており、RF増幅器15からは、図18(b)に示すように、ウォーブルトラックの蛇行に相似したウォーブル信号が出力される。RF増幅器15が出力するウォーブル信号は、図14に示す2値化回路32bおよびA/D変換器34にそれぞれ入力される。

【0065】

(ロ) 2値化回路32bは、図18(c)に示すように、ウォーブル信号の振幅のほぼ中心レベルをライスレベルとしてウォーブル信号を2値化して出力す

る。尚、スライスレベルを図18(b)の破線に示す。2値化回路32bが2値化したウォーブル信号はPLL回路33に入力される。PLL回路33では2値化回路32bが出力するウォーブル2値化信号に基づいて第1のクロックCLK₁と第2のクロックCLK₂を生成する。第1のクロックCLK₁は、図18(d)に示すように、ウォーブル2値化信号に含まれるキャリア信号の立ち上がりに立ち下りが位相同期したクロック信号となる。よって、周波数がキャリア信号の2倍となる。第2のクロックCLK₂は、図18(e)に示すように、ウォーブル2値化信号に含まれるキャリア信号と位相同期したクロック信号となる。よって、極性と周波数がキャリア信号と一致する。

【0066】

(ハ) A/D変換器34は、図18(b)、図18(d)及び図18(f)に示すように、第1のクロックCLK₁の立ち上がりエッジと同期してウォーブル信号をA/D変換する。ここで、ウォーブル信号の搬送波を $A \cdot \sin(\omega_c t)$ とすると、A/D変換器34は、 $(2n-3)\pi - \pi/2$ 、 $(2n-2)\pi - \pi/2$ 、 $(2n-1)\pi - \pi/2$ (n:整数)のそれぞれの位相においてサンプリングを行う。即ち、図18(b)に示すように、A/D変換器34はウォーブル信号のピーク値をA/D変換している。図18(f)に示すように、A/D変換されたウォーブル信号において、図18(c)に示すウォーブル2値化信号の“1”を“1”、“0”を“-1”と対応付けしている。この結果、A/D変換器34は、図18(f)に示すように、“1, -1, 1, -1, -1, 1, 1, -1, 1, ……”を出力する。A/D変換器34が出力するデジタル化したウォーブル信号は、図14に示すPRフィルタ36及び基準値生成回路40bの絶対値演算回路35に入力される。

【0067】

(二) PRフィルタ36は、第1のクロックCLK₁と同期して図18(f)に示す“1, -1, 1, -1, -1, 1, 1, -1, 1, ……”のデータ列を先頭のデータから取り込み、順次演算処理を施す。PRフィルタ36は、A/D変換器34によりA/D変換した値を $S[(2n-3)\pi - \pi/2]$ 、 $S[(2n-2)\pi - \pi/2]$ 、 $S[(2n-1)\pi - \pi/2]$ 及び $S[2n\pi - \pi/2]$

]、PRフィルタ36が出力する波形等価信号をP[n]とすると、式(1)より：

$$P[n] = -S[(2n-3)\pi - \pi/2] + S[(2n-2)\pi - \pi/2] - S[(2n-1)\pi - \pi/2] + S[2n\pi - \pi/2] \dots \quad (2)$$

なる演算を行う。この結果、PRフィルタ36からは、“4, -4, 4, -4, 2, 0, 0, 0, 2, ……”と入力データ列と相関を持ったデータ列が出力される。よって、A/D変換したウォーブル信号は3値のデータに変換される。PRフィルタ36が出力する波形等価信号は、サンプリング回路53bに入力される。

【0068】

(ホ)サンプリング回路53bでは、図18(h)に示すように、第2のクロックCLK₂の立ち上がりと同期して、PRフィルタ36が出力する波形等価信号をサンプリングする。サンプルド信号の波形は、図18(i)に示すような波形となる。図18(h)に示すサンプルド信号は、ビタビ復号器31cに入力される。

【0069】

(ヘ)一方、絶対値演算回路35は、A/D変換されたウォーブル信号の絶対値を演算して平均化回路38に出力する。平均化回路38は、絶対値演算回路35が出力する絶対値の平均値を算出する。平均化回路38が出力する平均値は乗算回路39に入力される。乗算回路39は、平均化回路38が出力する平均値をサンプルド信号の平均値に正規化する。サンプルド信号はPRフィルタ36により位相が変換されているためである。したがって、平均化回路38が出力する平均値を4倍することによりビタビ復号器31cの基準値に正規化できる。乗算回路39が出力する基準値は、ビタビ復号器31cに入力される。

【0070】

(ト)図16に示すように基準値は第1の減算器43aと第1の乗算器44aに入力される。第1の乗算器44aは基準値に“-1”を乗じて出力する。第1の減算器43aはサンプルド信号と基準値との誤差を出力する。第2の減算器43bは、サンプルド信号と“0”との誤差を出力する。第3の減算器43cは、

サンプルド信号と第1の乗算器44aの出力との誤差を出力する。第2の乗算器44bは、第1の減算器43aが出力する誤差の二乗を第1の二乗誤差として出力する。第3の乗算器44cは、第2の減算器43bが出力する誤差の二乗を第2の二乗誤差として出力する。第4の乗算器44dは、第3の減算器43cが出力する誤差の二乗を演算して第3の二乗誤差として出力する。第1～第3の二乗誤差は、図15(b)に示すパスメトリック回路26bに入力される。

【0071】

(チ) ここで、図19(a)に示すようなA D I P符号列が光ディスク11に記録されているとする。P R フィルタ36が出力する波形等価信号は図19(c)に示すような信号となる。尚、図19(c)に示す波形等価信号は、実際は各回路を通過する際の遅延時間により時間遅れが生じている。図19(c)において、時刻 t_1 に到るまでは、表3の対応関係により、図4(a)に示す状態遷移図の $S(0)$ にとどまっている。時刻 t_1 でA D I P情報信号が0から1に立ち上がる。A D I P情報信号が0から1に立ち上がると状態が $S(0)$ から $S(2)$ に遷移する。時刻 t_2 になるとA D I P情報信号は1のままである。よって、状態が $S(2)$ から $S(1)$ に遷移する。このような状態の遷移に基づいてパスメトリック回路26b及びパスメモリー回路27bはA D I P情報信号の復調を行う。

【0072】

このように第2の実施の形態によれば、S/Nが低下してもA D I P情報信号を正確に復調可能な復調回路を提供することが出来る。A/D変換器34がウォーブル信号のピーク値をA/D変換し、このA/D変換したウォーブル信号からビタビ復号における基準値を生成している。したがって、ウォーブル信号振幅が変動してもより最適な基準値を得ることが出来る。更に、ウォーブル信号とそのサンプリングクロックである第1のクロックC L K₁に位相偏差が生じた場合でもより最適な基準値を得ることができる。また、A/D変換したウォーブル信号をP R フィルタ36により位相変換するとにより3パターンの値に変換している。この結果、サンプルド信号の幅を大きくとることができるので、復調を確実に行うことが出来る。

【0073】

図20に示すように、第2の実施の形態の第1の変形例に係る光ディスク装置は、ビタビ復号器31bがADIP情報信号の符号パターンを利用した状態遷移に基づいてビタビ復号を行う点が図4と異なる。ADIP情報信号の符号列において、符号“1”的連続数は1、2、4のみである。また、符号“0”的最小連続数は3である。したがって、図4(a)に示す状態遷移図において、状態S(1)からS(2)に遷移する場合は無い。よって、図20(a)に示す状態遷移図は、S(1)からS(2)への状態遷移を省いた状態遷移図となっている。この結果、第2の実施の形態の第1の変形例に係るビタビ復号器のパスメトリック回路及びパスメモリー回路は、図20(a)に示す状態遷移図及び図20(b)に示すトレリス線図に同定して構成されている。

【0074】

図21(a)に示すように、ADIP符号“1”に係る状態遷移は、 $S((0)1) \rightarrow S(2) \rightarrow S(1)$ と状態遷移する場合、ADIP符号列は“1000……”となり“1”的連続数は1である。 $S((0)1) \rightarrow S(2) \rightarrow S(3) \rightarrow S(1)$ と状態遷移する場合、ADIP符号列は“1100……”となり“1”的連続数は2である。 $S((0)1) \rightarrow S(2) \rightarrow S(3) \rightarrow S(32) \rightarrow S(34) \rightarrow S(1)$ と状態遷移する場合、ADIP符号列は“11110……”となり“1”的連続数は4となる。他の遷移は取り得ないので、符号“1”的連続数は1、2、4に制約されている。即ち、符号“1”的連続数は1、2、4のみである。したがって、第2の実施の形態の第1の変形例に係るビタビ復号器は、符号“1”的連続数が1、2、4以外の復調信号を出力することは無い。即ち、第2の実施の形態の第1の変形例に係るビタビ復号器は、符号“1”的連続数が1、2、4のうち最も確からしい復調信号を出力する。一方、ADIP符号“0”に係る状態遷移は、 $S(2), S(3)$ 又は $S(34) \rightarrow S(1) \rightarrow S(0) \rightarrow S((0)1)$ で、符号“0”的連続数は3以上に制約されている。

【0075】

第2の実施の形態の第1の変形例においては、ADIP符号列、状態及び基準値を表4に示すように対応させる：

【表4】

ADIP符号列	状態	サンプル値
(00) 00	S (01)	-R
00	S (0)	-R
10	S (1)	0
01	S (2)	0
11	S (3)	R
(1) 11	S (32)	R
(11) 11	S (33)	R

次に、図20～図22を用いて、第2の実施の第1の変形例に係る復調回路の動作を説明する。第2の実施の第1の変形例においては、S/Nが低下してウォーブル信号の一部に波形歪みが発生しているとして説明する。

【0076】

(イ) 図22(a)に示すようなADIP符号列が光ディスク11に記録されているとする。S/Nが低下し、図21(b)に示すように、ウォーブル信号は“範囲3”及び“範囲4”的期間において波形歪みを生じている。ウォーブル信号に波形歪みが生じている為、図21(c)に示すように、2値化されたウォーブル信号は、一部にエラーを有する波形となる。図21(c)に示すウォーブル2値化信号を基準に図21(d)に示す第1のクロックCLK₁と図21(e)に示す第2のクロックCLK₂が生成される。

【0077】

(ロ) A/D変換されたウォーブル信号は、図21(f)に示すようなデータ列となる。図21(f)に示すように、ウォーブル信号に波形歪みを有する為に、“範囲3”及び“範囲4”的期間において、“1”及び“-1”以外の値を出力している。

【0078】

(ハ) 波形等価信号は、図21(g)に示すようなデータ列となる。サンプルド信号は、図21(h)に示すような波形の信号となる。ここで、“範囲3”及

び“範囲4”の期間に波形歪みが生じていない場合のサンプルド信号を図21(j)に示す。図21(i)に示すサンプルド信号の波形は、“範囲3”及び“範囲4”の期間に波形歪みが生じていない場合のサンプルド信号に形状が非常に近い。即ち、ウォーブル信号に波形歪みが生じっていても、ウォーブル信号のピーク値をサンプリングし、更に位相変換処理を施すことにより波形歪みの影響を緩和している。

【0079】

(二) 図22(a)に示すようなADIP情報信号の符号列を復調する場合は、波形等価信号は図22(c)に示すような波形となる。ADIP符号列は“00011……”となっている。また、波形等価信号は“-R、-R、-R、0、+R……”となる。表4及び図20(a)に示す状態遷移図よりS(01)→S(01)→S(01)→S(2)→S(3)→S(32)……に状態遷移する。状態遷移がS(01)→S(01)→S(01)→S(2)→S(3)→S(32)……であるので、表4の対応付けにより“000011……”が復調される。

【0080】

このように第2の実施の形態の第1の変形例によれば、ADIP情報信号の符号列の規則性から状態遷移に制約を設けることにより、復調エラーを低減させることが出来る。

【0081】

図23に示すように、第2の実施の形態の第2の変形例に係る光ディスク装置は、基準値生成回路40cが、サンプルド信号を入力する絶対値演算回路35、絶対値演算回路35の出力側に入力側を接続する平均化回路38とを備える点が図14と異なる。図23に示す基準値生成回路40cは、図14に示す乗算回路39を設けていない。サンプルド信号から基準値を生成することにより、基準値生成回路40cでの演算が多少複雑となるが、平均化回路38が outputする平均値を正規化する必要が無くなる。

【0082】

(その他の実施の形態)

上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0083】

第1及び第2の実施の形態においては、CD-R/RWドライブとDVD+RWドライブとに分けて説明した。しかし、CD-R/RWとDVD+RWの両方を再生/記録可能な所謂コンボドライブにも応用出来ることは勿論である。

【0084】

また、第2の実施の形態においては、光ディスク装置としてDVD+RWドライブを用いて説明した。しかし、DVD-R/RWにも応用出来ることは言うまでも無い。例えば、DVD-R/RWにおいては、ウォーブル信号からウォーブルPLL回路によりウォーブルクロックを生成する。第1及び第2の実施の形態に係る復調回路16a、16cは、歪んだウォーブル信号からウォーブルクロックを生成する場合に応用出来る。

【0085】

第1の実施の形態の第2の変形例においては、CPU21bにより周期計測器51の計測クロック及びLPF52のカットオフ周波数を制御可能であるとして説明した。このように、第1及び第2の実施の形態に係る復調回路16a、16cは、CPU21a、21cにより光ディスクの状況の変化及び環境変動に対して柔軟に対応できる。

【0086】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲の発明特定事項によってのみ限定されるものである。

【0087】

【発明の効果】

本発明によれば、ウォーブル信号のS/Nが著しく低下しても記録補助信号を低エラー率で復調可能な復調回路、光ディスク装置及び半導体集積回路を提供す

ることが出来る。

【図面の簡単な説明】

【図1】

第1の実施の形態に係る光ディスク装置の構成を示すブロック図である。

【図2】

第1の実施の形態に係る復調回路の構成を示すブロック図である。

【図3】

図3 (a) は第1の実施の形態に係る周波数シフト回路及びビタビ復号器の構成を示すブロック図で、図3 (b) は図3 (a) に示すブランチメトリック回路の構成を示すブロック図である。

【図4】

図4 (a) は第1の実施の形態に係るビタビ復号器の動作を示す状態遷移図で、図4 (b) は図4 (a) の状態遷移図から得られるトレリス線図である。

【図5】

ATIP情報信号の符号パターンとその変調信号を示すタイムチャートである

【図6】

第1の実施の形態に係る復調回路の動作を示すタイムチャートである。

【図7】

第1の実施の形態に係る周波数シフト回路及びビタビ復号器の動作を示すタイムチャートである。

【図8】

図8 (a) は、第1の実施の形態の第1の変形例に係るビタビ復号器の動作を示す状態遷移図で、図8 (b) は図8 (a) の状態遷移図から得られるトレリス線図である。

【図9】

第1の実施の形態の第1の変形例に係る復調回路の動作を示すタイムチャートである。

【図10】

第1の実施の形態の第1の変形例に係る周波数シフト回路及びビタビ復号器の動作を示すタイムチャートである。

【図11】

第1の実施の形態の第1の変形例に係る復調回路の数値データの関係を示す表である。

【図12】

第1の実施の形態の第2の変形例に係る光ディスク装置の構成を示すブロック図である。

【図13】

第2の実施の形態に係る光ディスク装置の構成を示すブロック図である。

【図14】

第2の実施の形態に係る復調回路の構成を示すブロック図である。

【図15】

図15 (a) は第2の実施の形態に係るP R フィルタの構成を示すブロック図で、図15 (b) は第2の実施の形態に係るビタビ復号器の構成を示すブロック図である。

【図16】

第2の実施の形態に係るブランチメトリック回路の構成を示すブロック図である。

【図17】

A D I P 情報信号の符号パターンを示すタイムチャートである。

【図18】

第2の実施の形態に係る復調回路の動作を示すタイムチャートである。

【図19】

第2の実施の形態に係るP R フィルタ及びビタビ復号器の動作を示すタイムチャートである。

【図20】

図20 (a) は第2の実施の第1の変形例に係るビタビ復号器の動作を示す状態遷移図で、図20 (b) は図20 (a) の状態遷移図から得られるトレリス線

図である。

【図21】

第2の実施の第1の変形例に係る復調回路の動作を示すタイムチャートである。

【図22】

第2の実施の第1の変形例に係るPRフィルタ及びビタビ復号器の動作を示すタイムチャートである。

【図23】

第2の実施の形態の第2の変形例に係る復調回路の構成を示すブロック図である。

【図24】

従来のATIP復調回路を示すブロック図である。

【図25】

従来のATIP復調回路の動作を示すタイムチャートである。

【図26】

従来のADIP復調回路を示すブロック図である。

【図27】

従来のADIP復調回路の動作を示すタイムチャートである。

【図28】

ウォーブル信号に波形歪みが生じている場合における従来のATIP復調回路の動作を示すタイムチャートである。

【図29】

ウォーブル信号に波形歪みが生じている場合における従来のADIP復調回路の動作を示すタイムチャートである。

【符号の説明】

1 1 光ディスク

1 2 ピックアップ

1 2 a 差分器

1 3 ディスクモータ

14 送りモータ

15、102、111 高周波増幅器

16a、16b、16c 復調回路

17 サーボ制御回路

18a、18b 再生／記録信号処理回路

19 記録制御回路

20 ディスクモータ制御回路

21a、21b、21c システムコントローラ

22a、22b、22c、37、53、106、115 フリップフロップ

23a、23b、23c、23d、42a、42b、42c、44a、44b、

44c、44d 乗算器

24 加算器

25a、25b ブランチメトリック回路

26a、26b パスメトリック回路

27a、27b パスメモリー回路

30a、30b クロック生成回路

31a、31b、31c、31d ビタビ復号器

32a、32b、103、113 2値化回路

33、56、104、114 PLL回路

34 A／D変換回路

35 絶対値演算回路

36 PRフィルタ

38、54 平均化回路

39 乗算回路

40a、40b、40c 基準値生成回路

41a、41b、41c、43a、43b、43c 減算器

50a、50b 波形変換回路

51 周期計測器

52 ローパスフィルタ

53a、53b サンプリング回路

55 比較器

57、116 同期信号検出器

58、117 バイフェーズ復調器

59、118 A T I P復号器

60 周波数シフト回路

60a 第1の乗算回路

60b 第2の乗算回路

61 A T I P復調回路

71 A D I P復号器

82 送りモータドライバ

83 ディスクモータドライバ

90a、90b 半導体集積回路

91a、91b ウオーブル信号処理回路

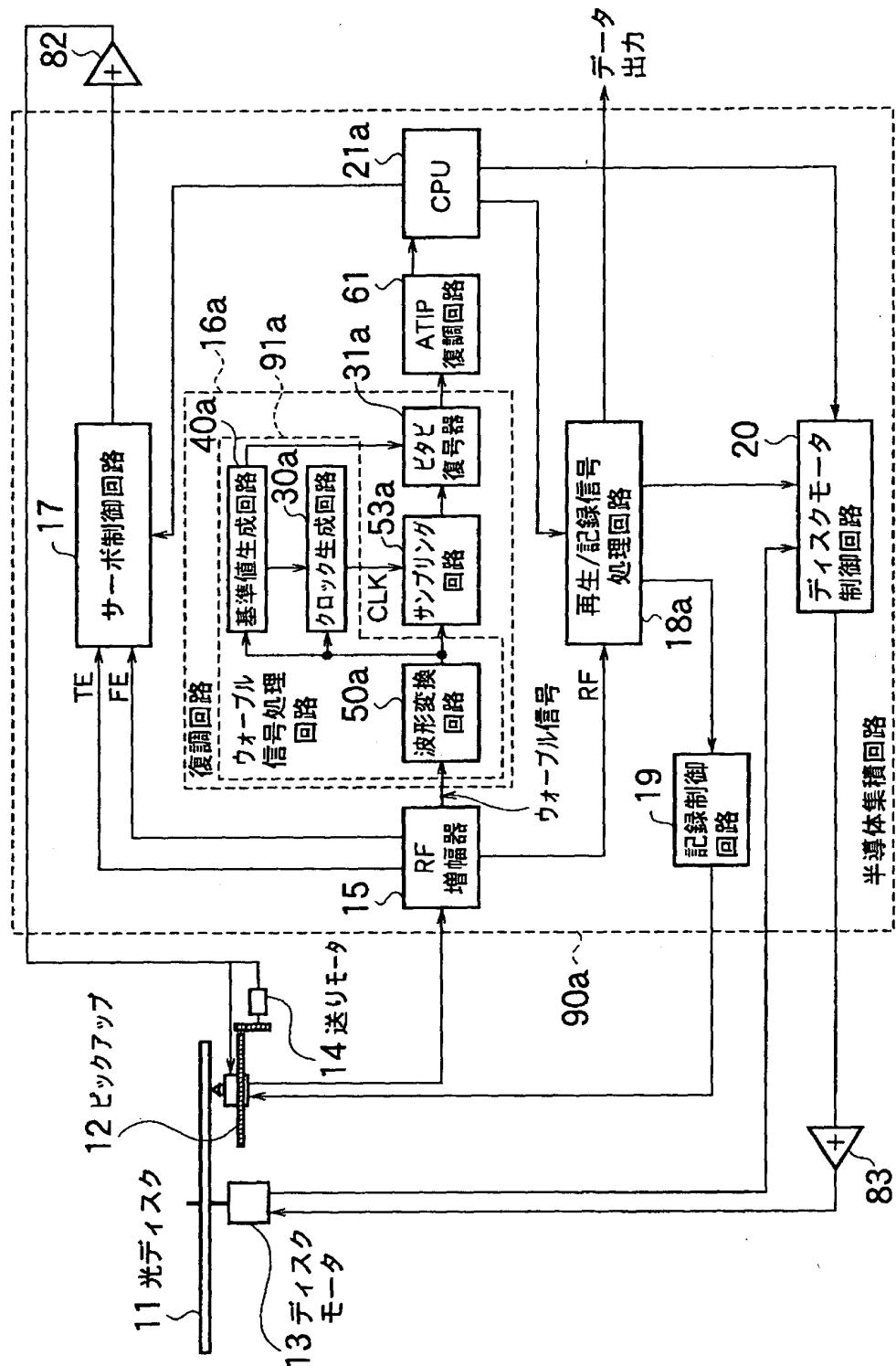
101、110 光ディテクタ

105 E X - O R回路

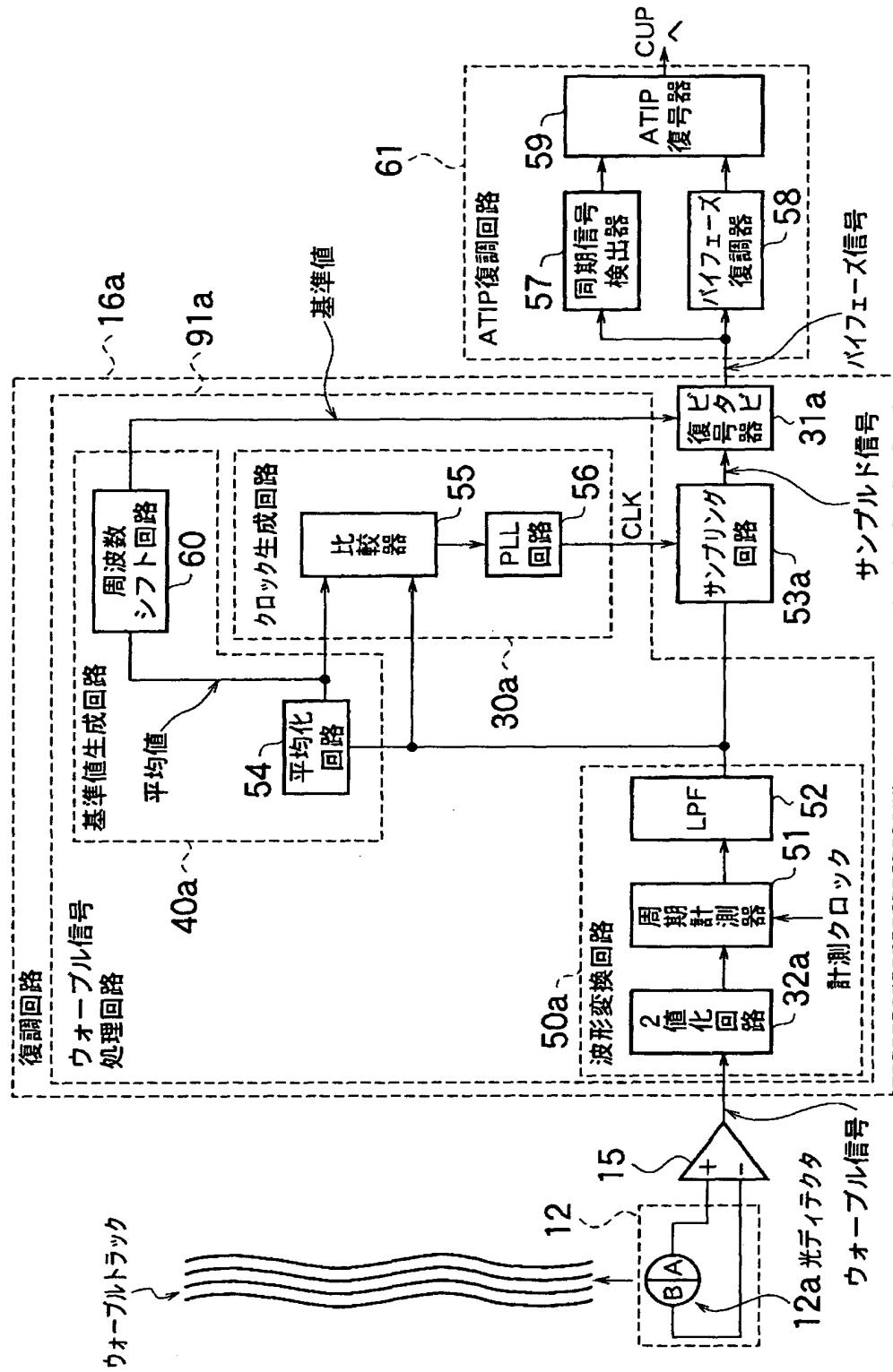
112 F S K復調器

【書類名】 図面

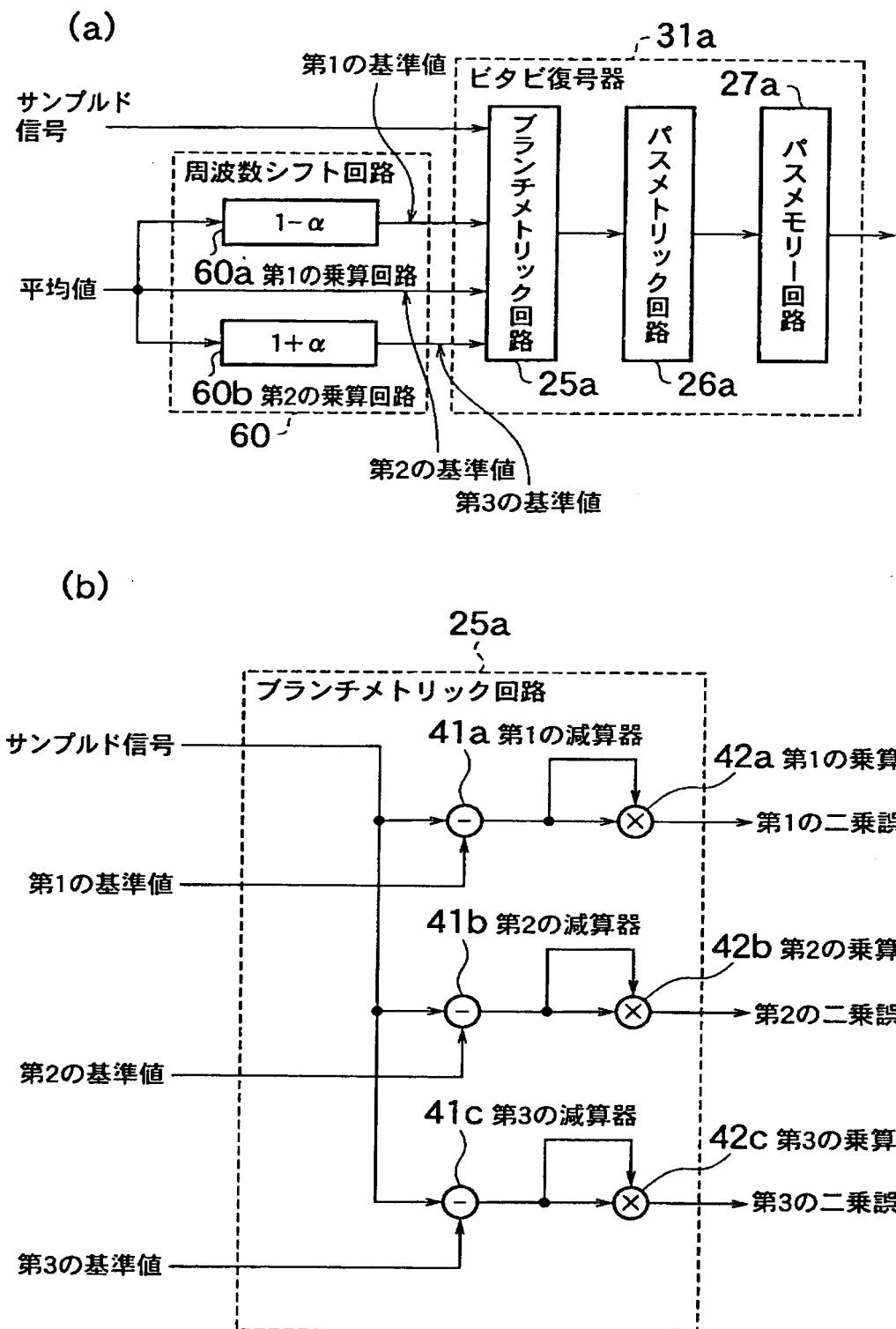
【図1】



【図2】

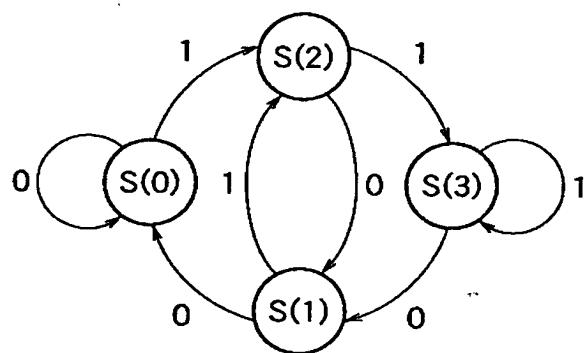


【図3】

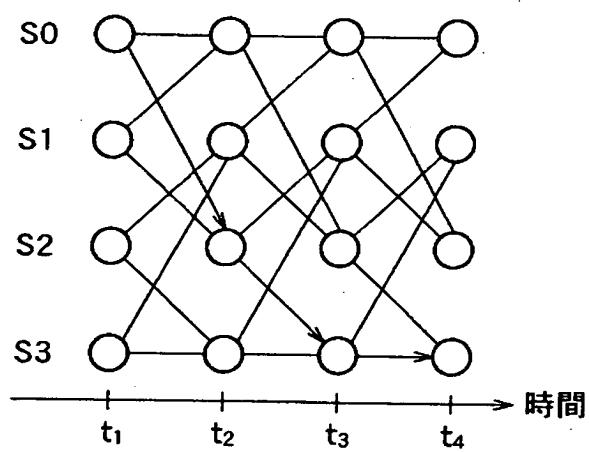


【図4】

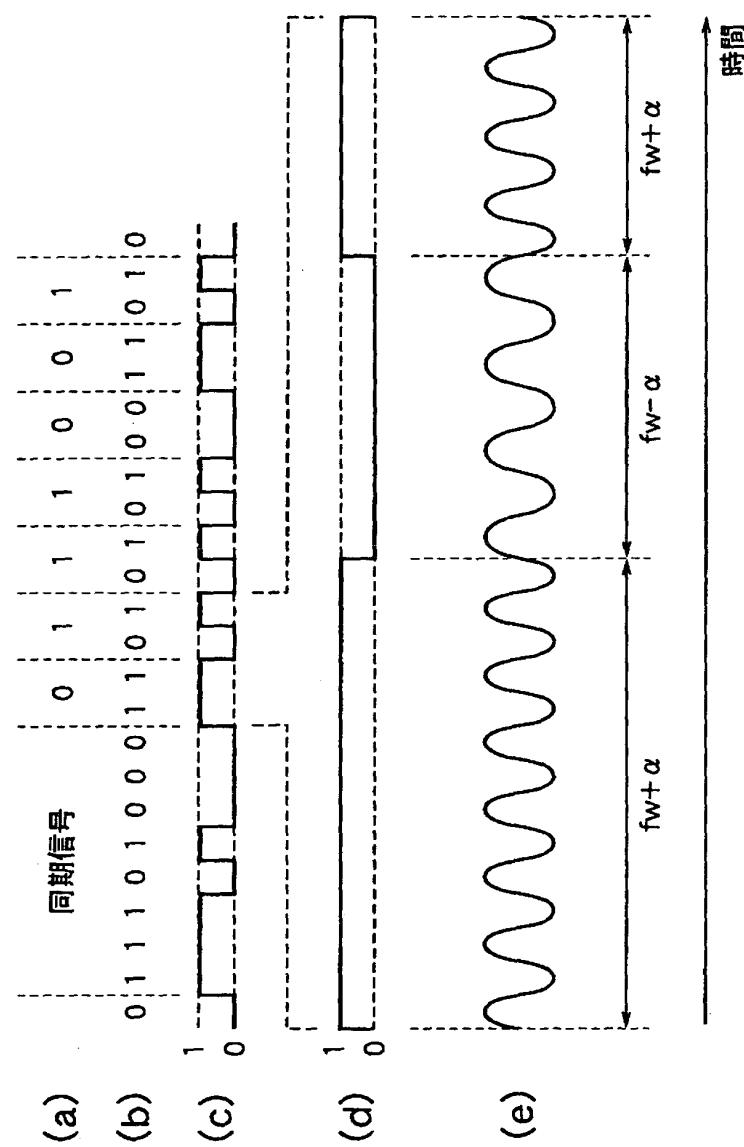
(a)



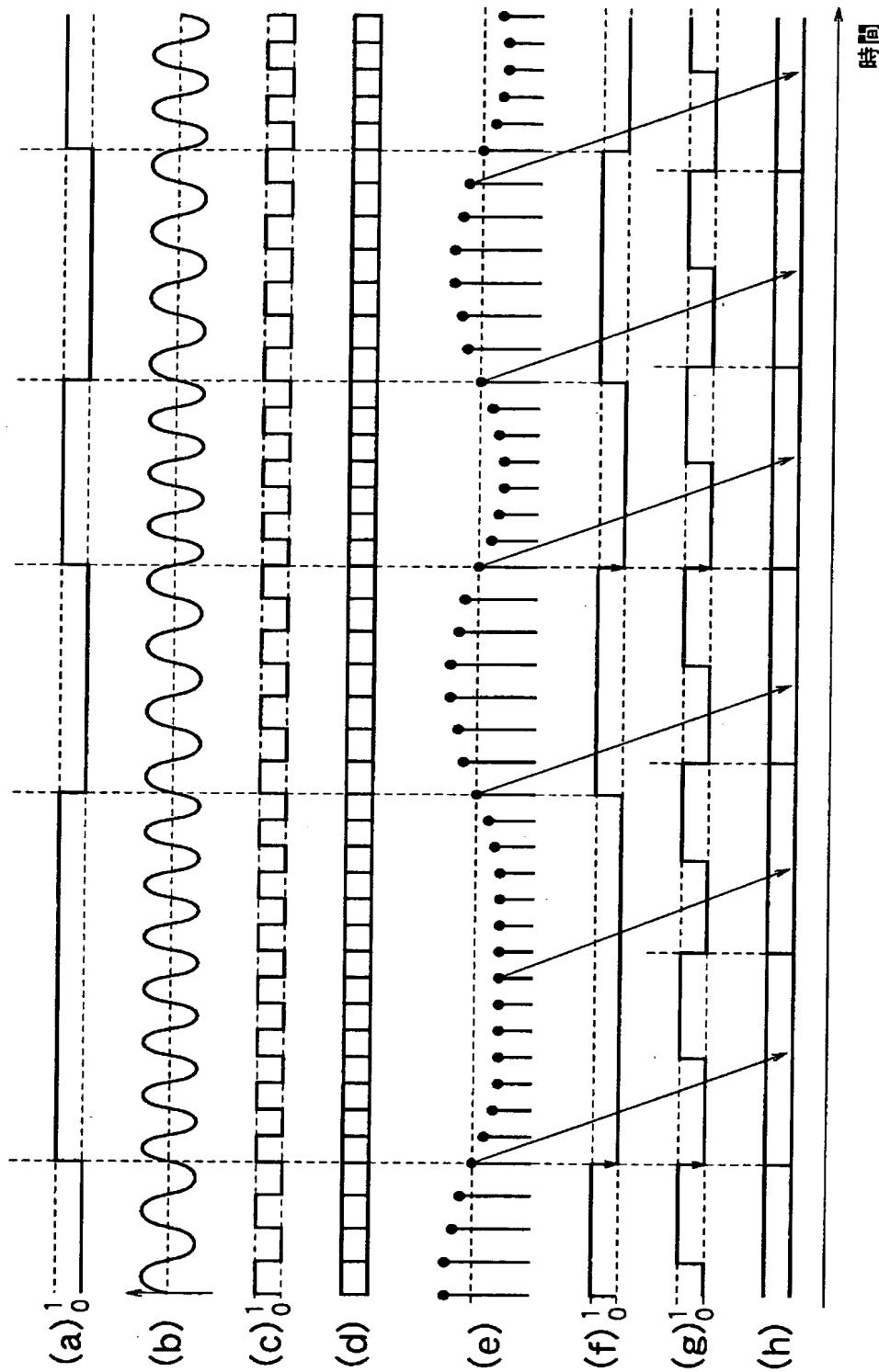
(b)



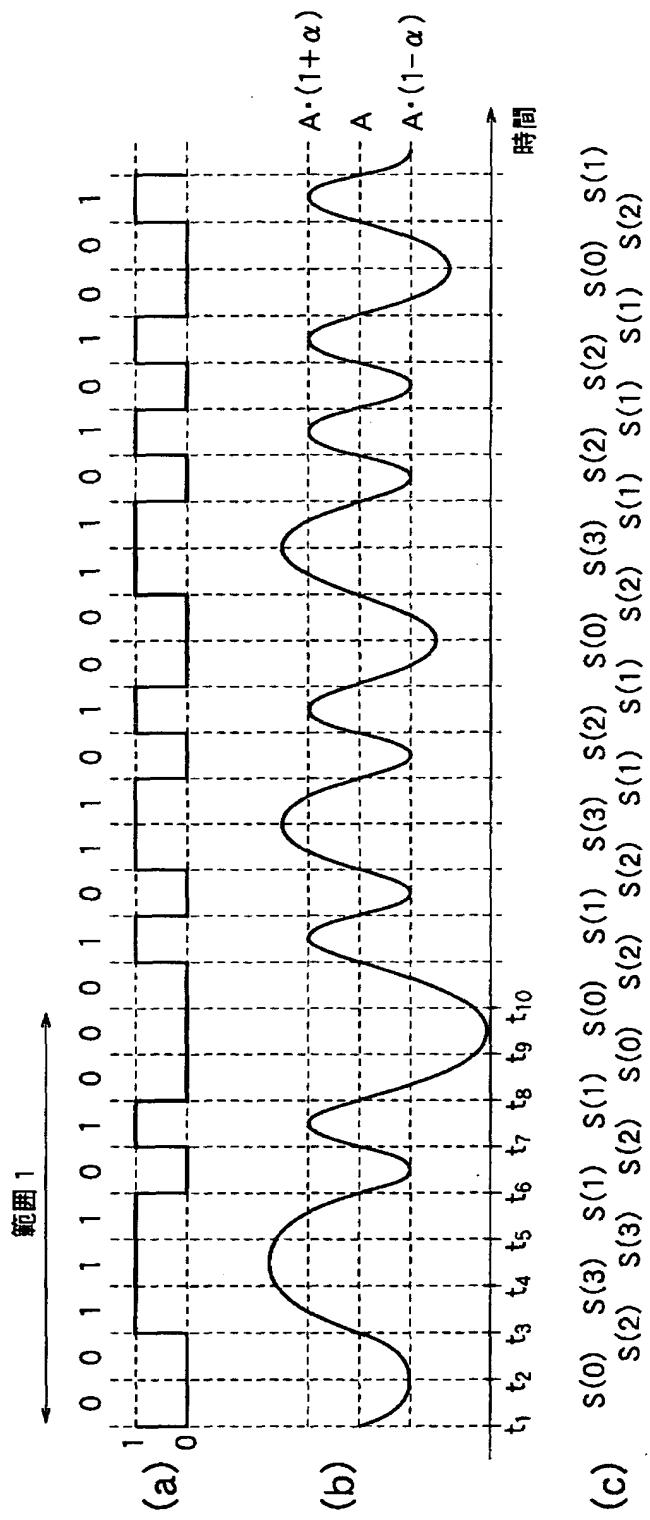
【図5】



【図6】

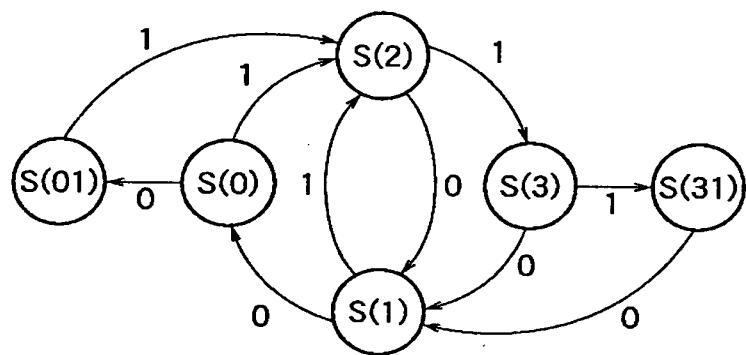


【図7】

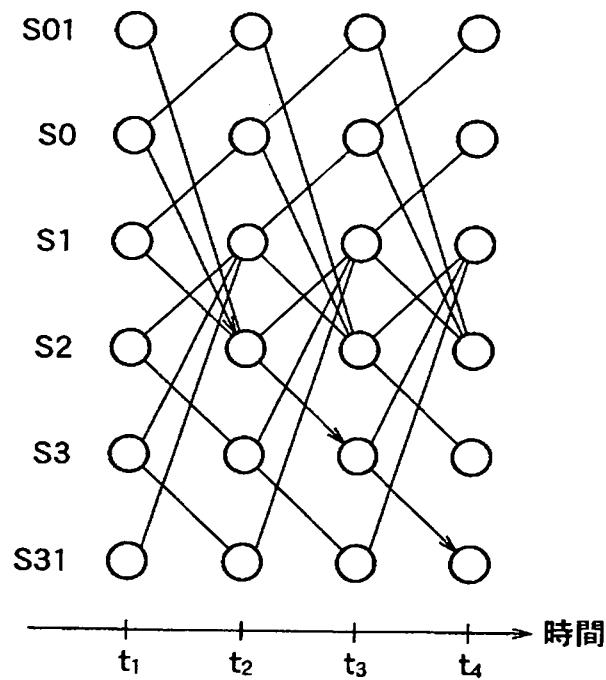


【図8】

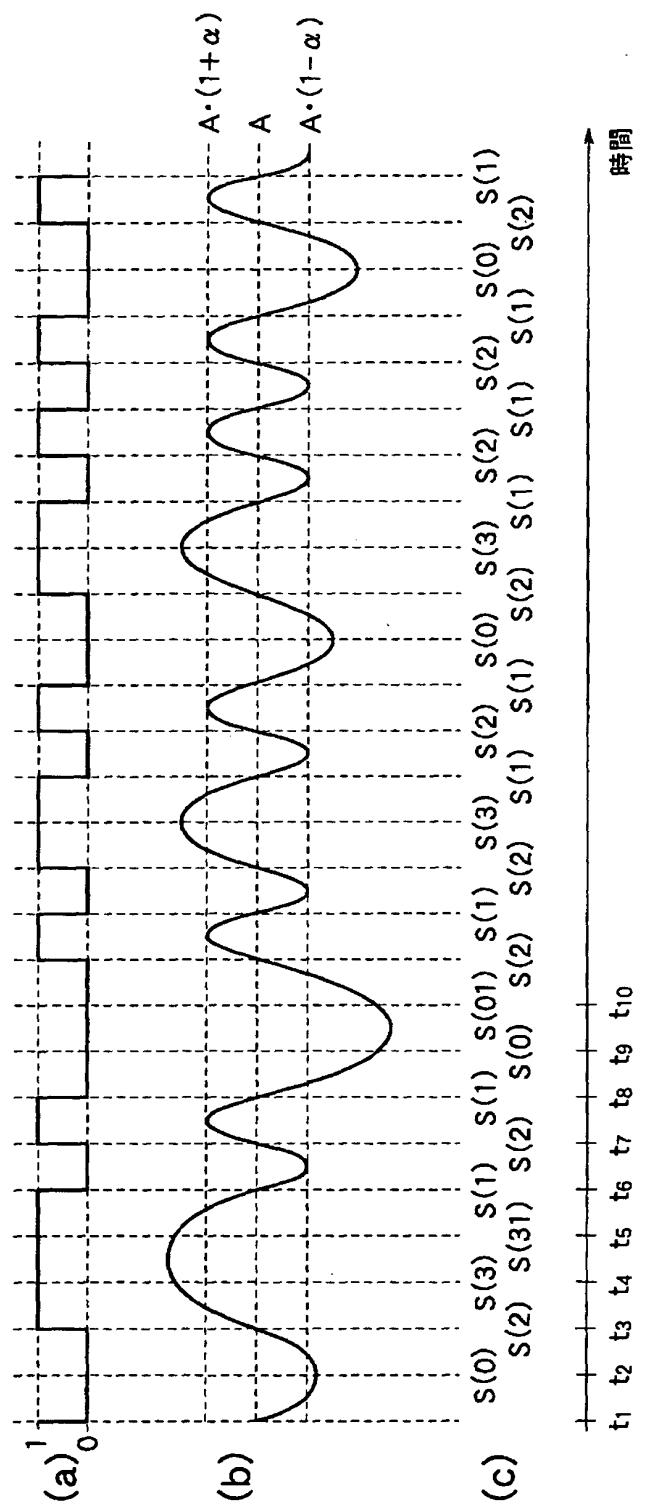
(a)



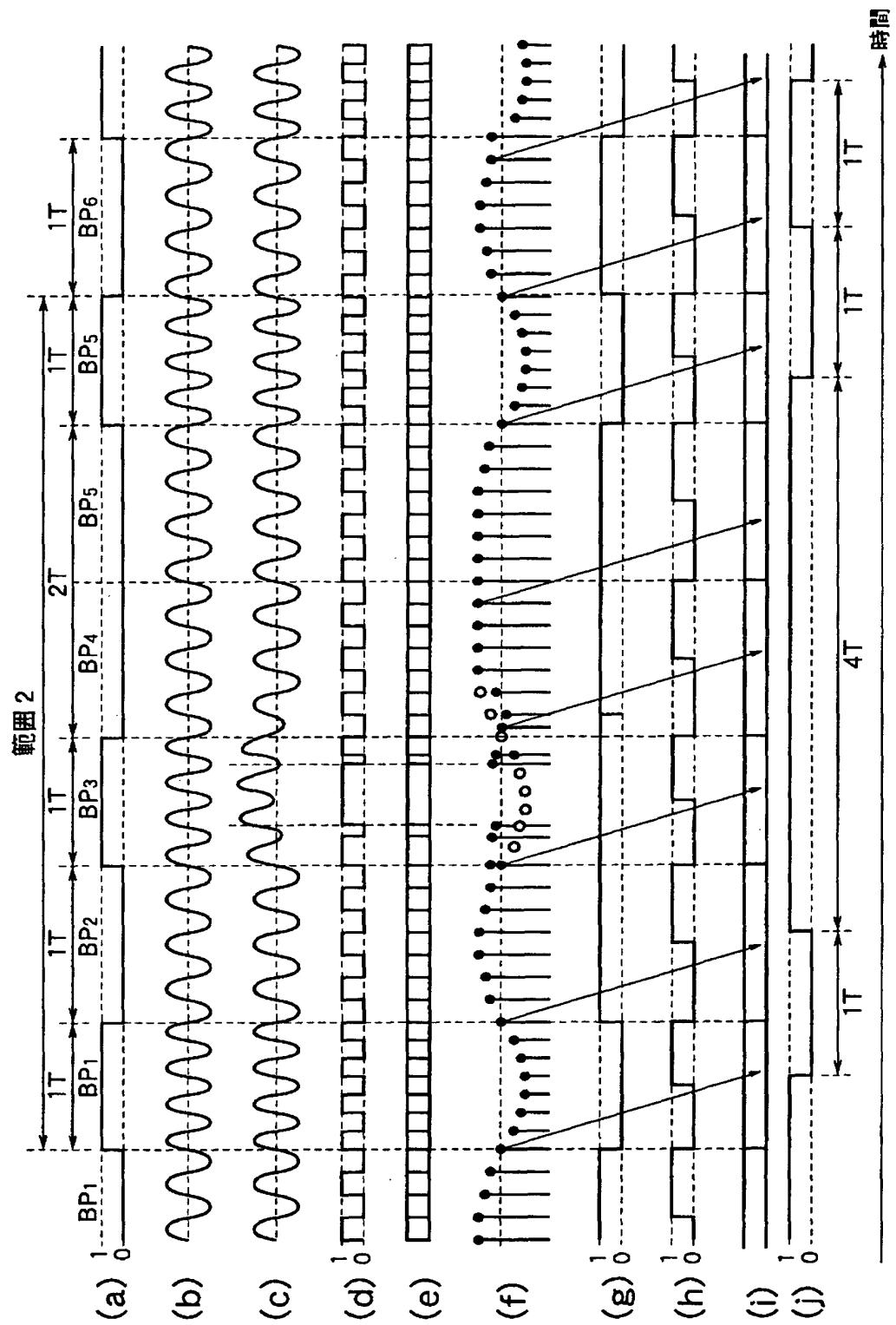
(b)



【図9】



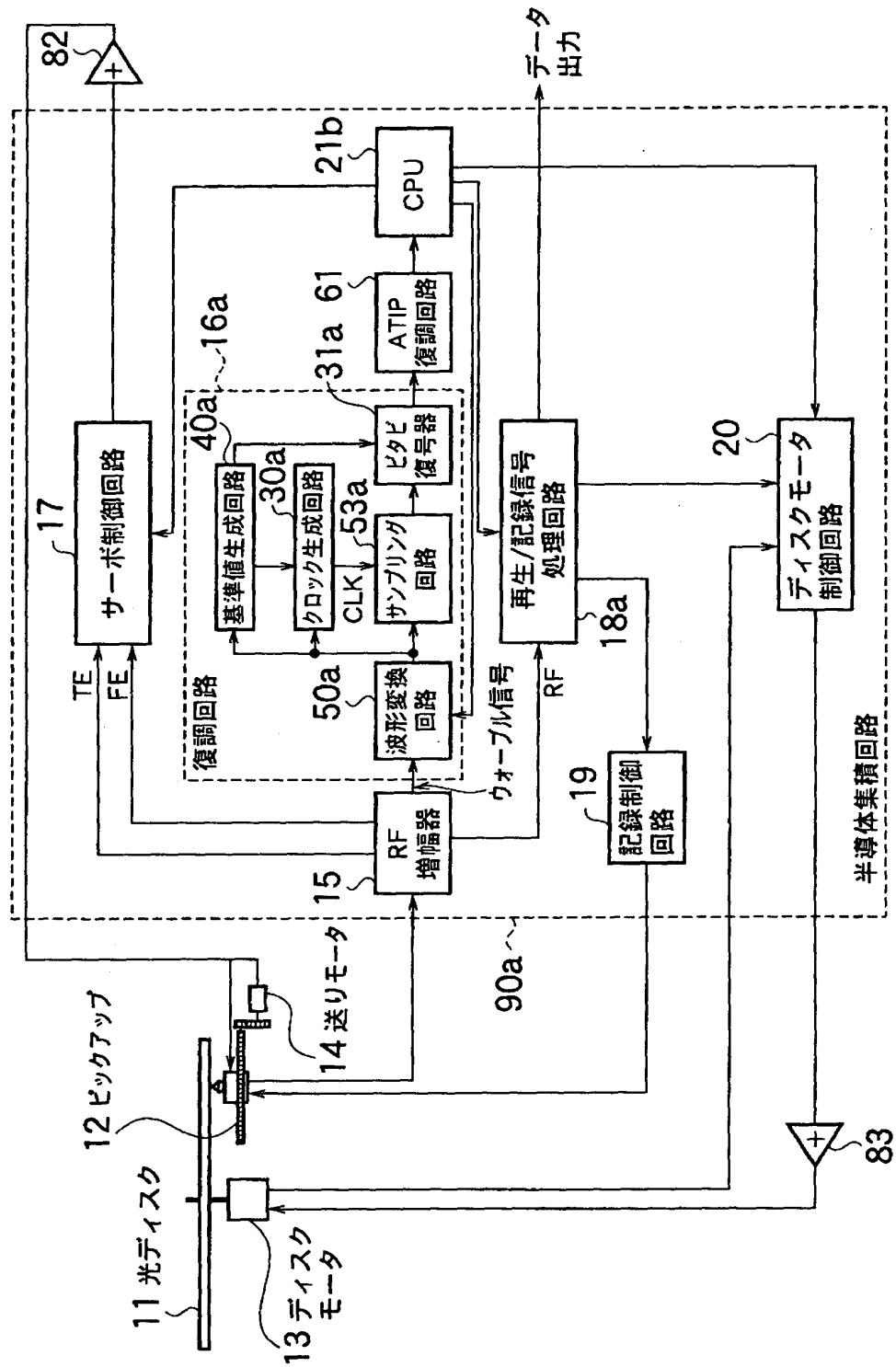
【図10】



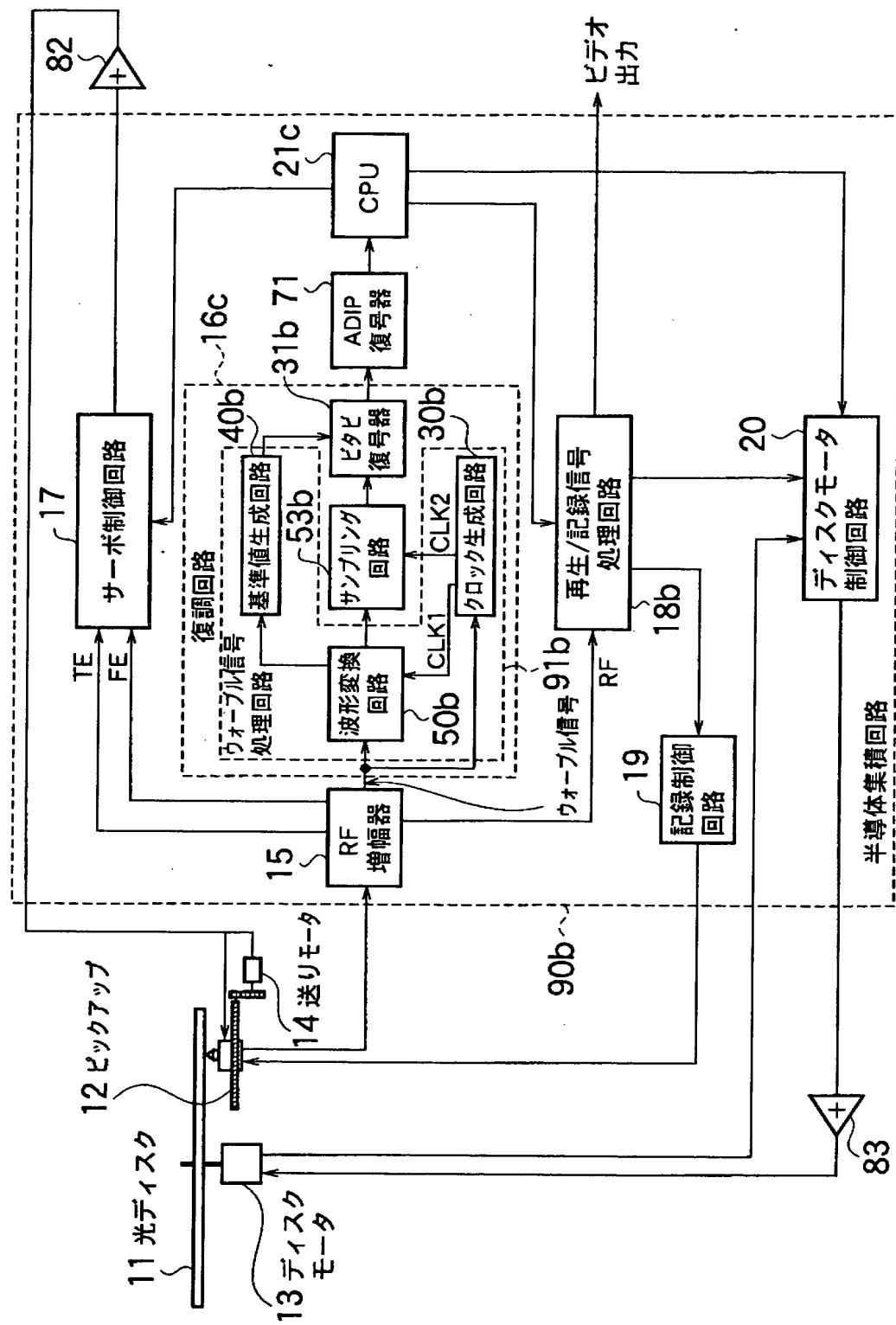
【図11】

(a) バターン	(b) バイフェーズ符号列					(c) サンプルド信号値					(d) 平均二乗誤差	
	BP1	BP2	BP3	BP4	BP5	BP6	L1	L2	L3	L4	L5	
1	1	0	1	0	0	1	0	0	0	1	0	0.25
2	1	0	1	0	1	1	0	0	0	0	1	2.25
3	1	0	1	1	0	1	0	0	-1	0	0	2.25
4	1	0	1	1	1	1	0	0	-1	-1	-1	2.25
5	1	0	0	0	1	1	0	0	-1	-1	-1	6.25
6	1	0	0	1	0	1	0	1	1	0	-1	3.25
7	1	0	0	1	1	1	0	1	0	0	0	1.25

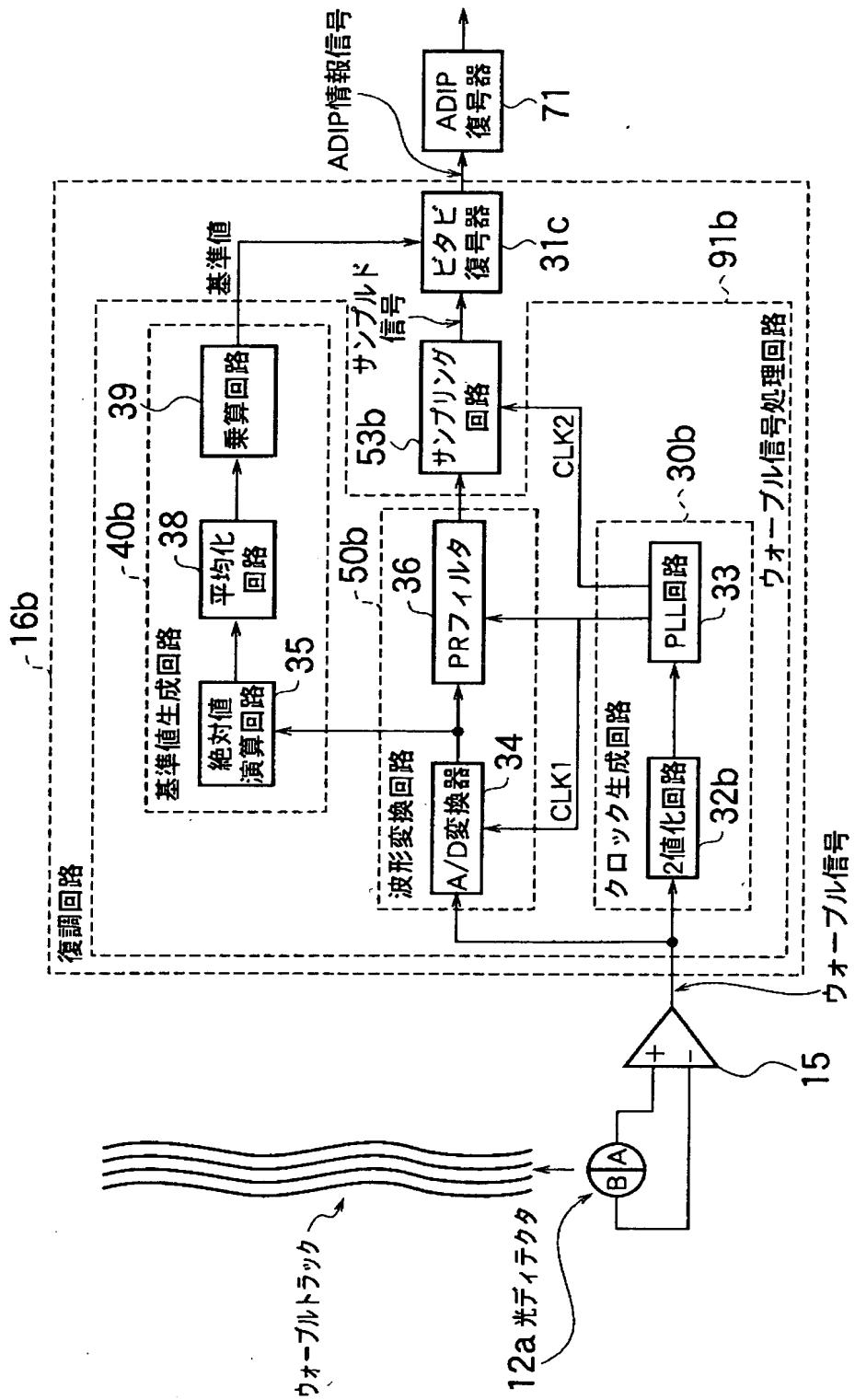
【図12】



[図13]

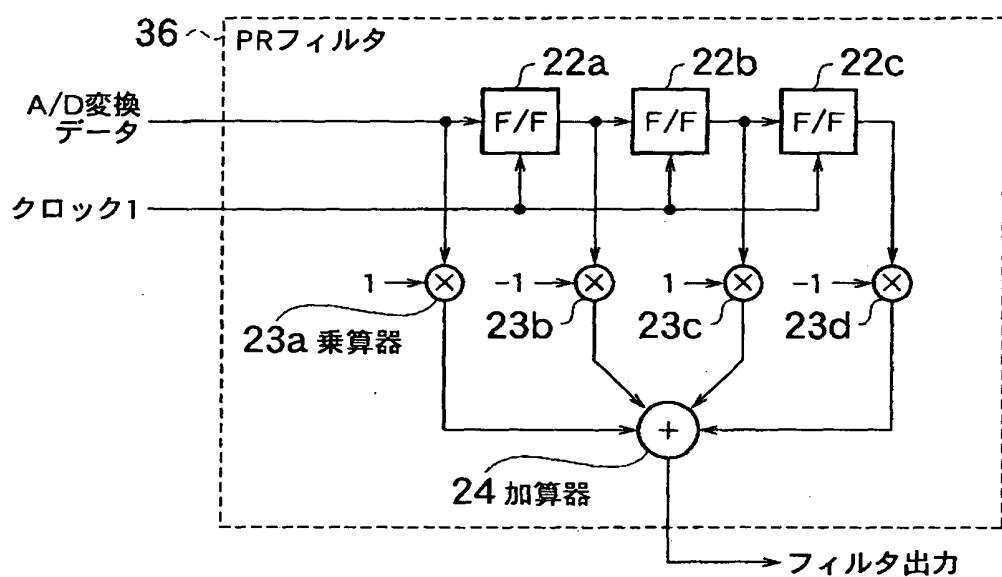


【図14】

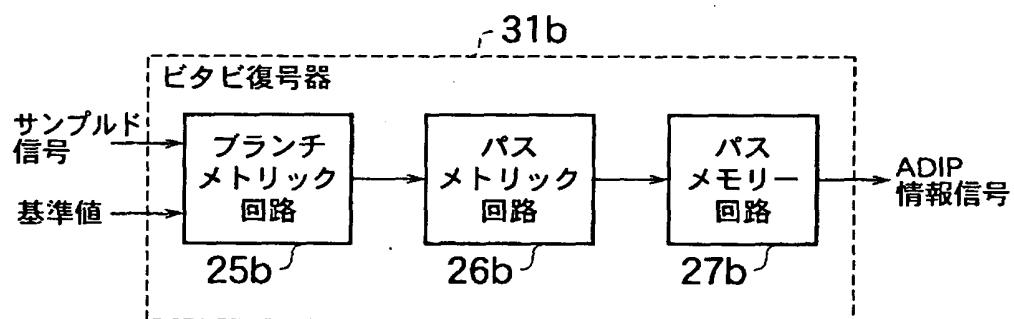


【図15】

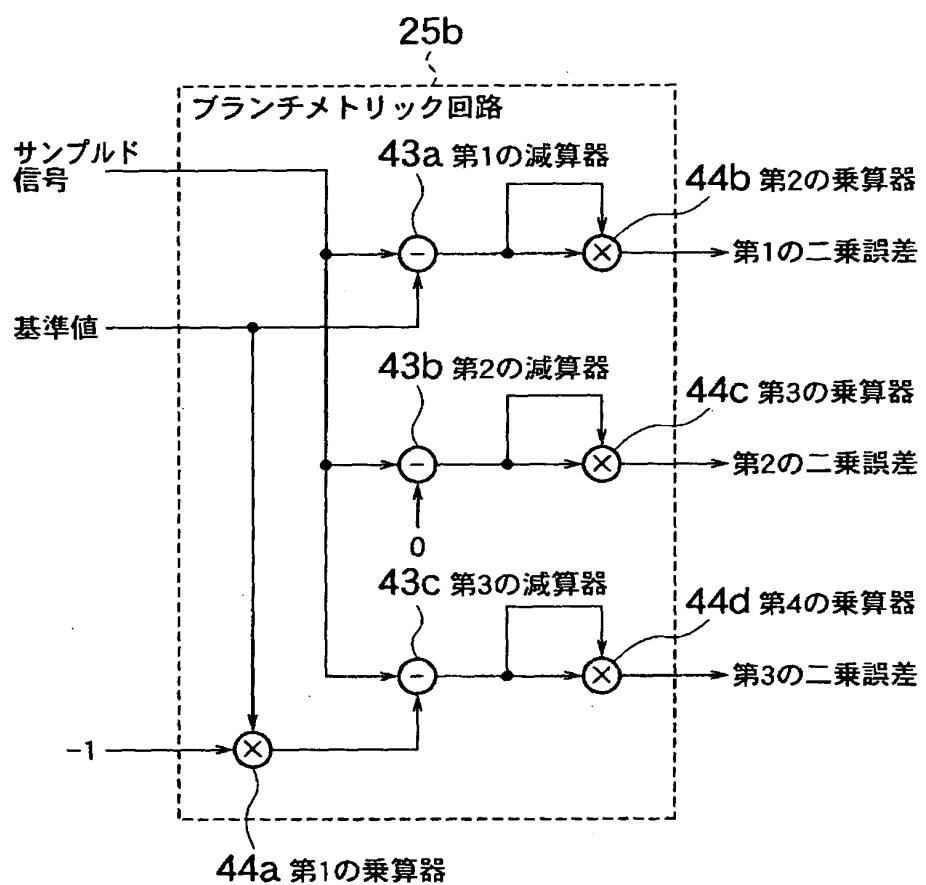
(a)



(b)

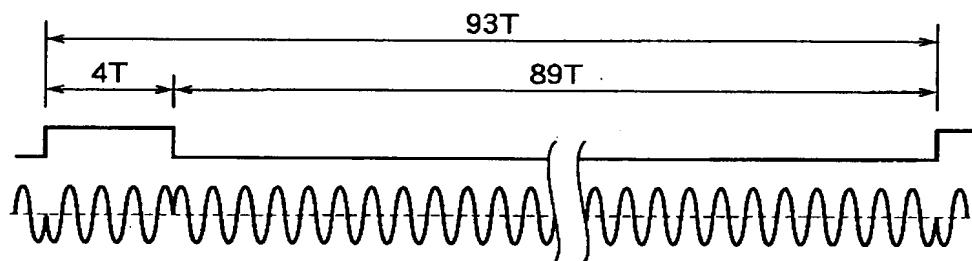


【図16】

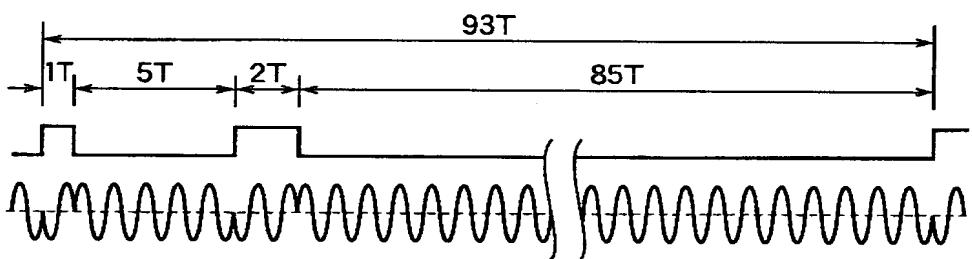


【図17】

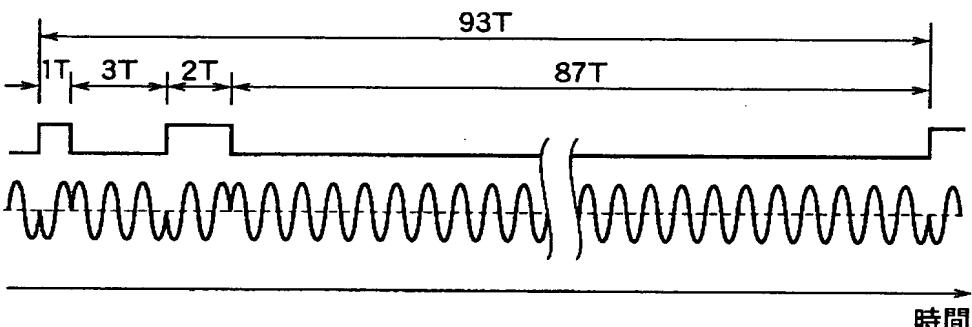
(a)



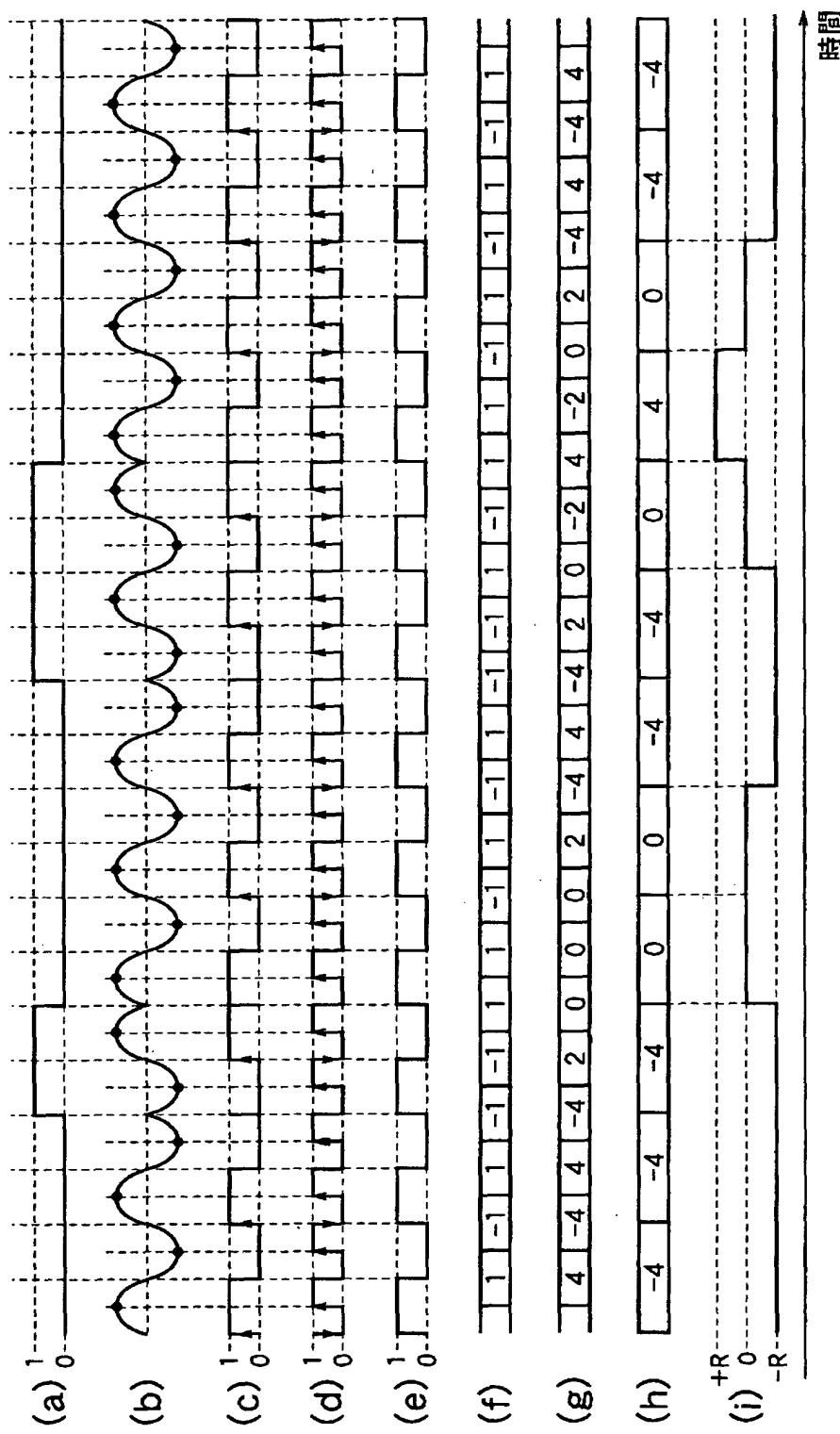
(b)



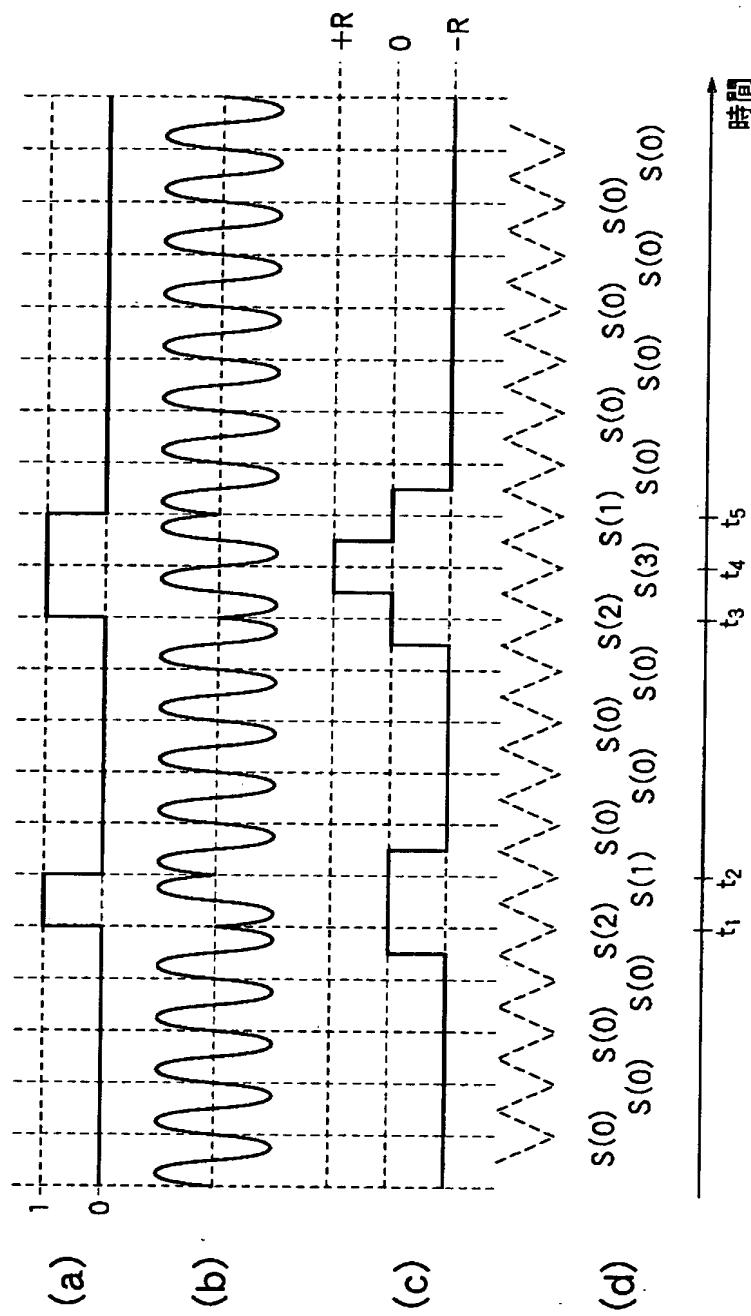
(c)



【図18】

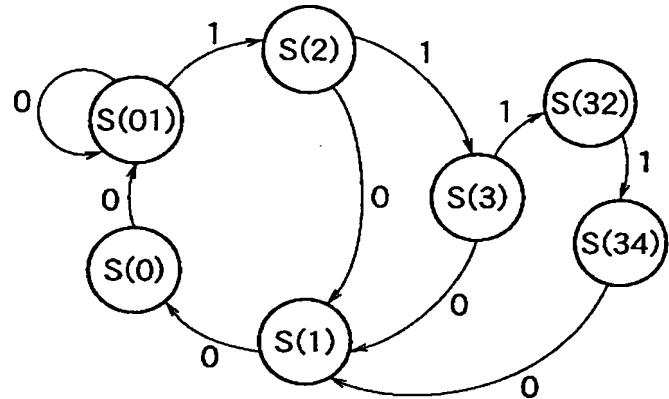


【図 19】

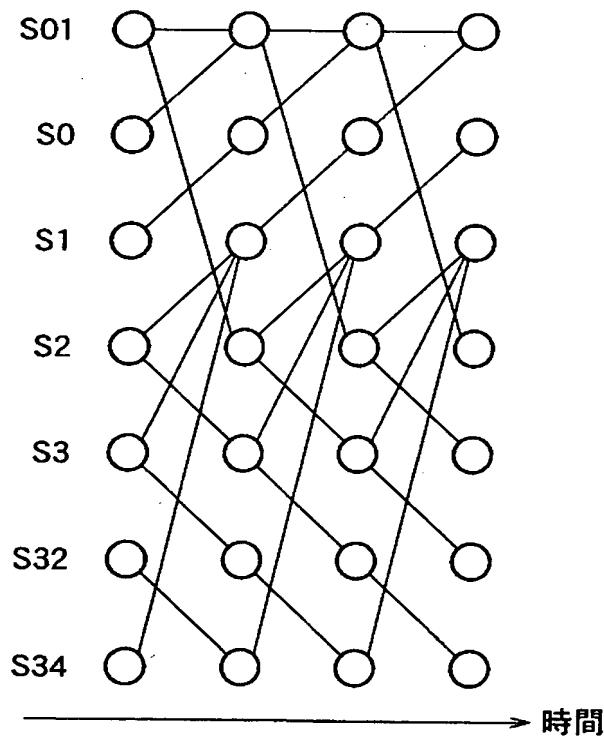


【図20】

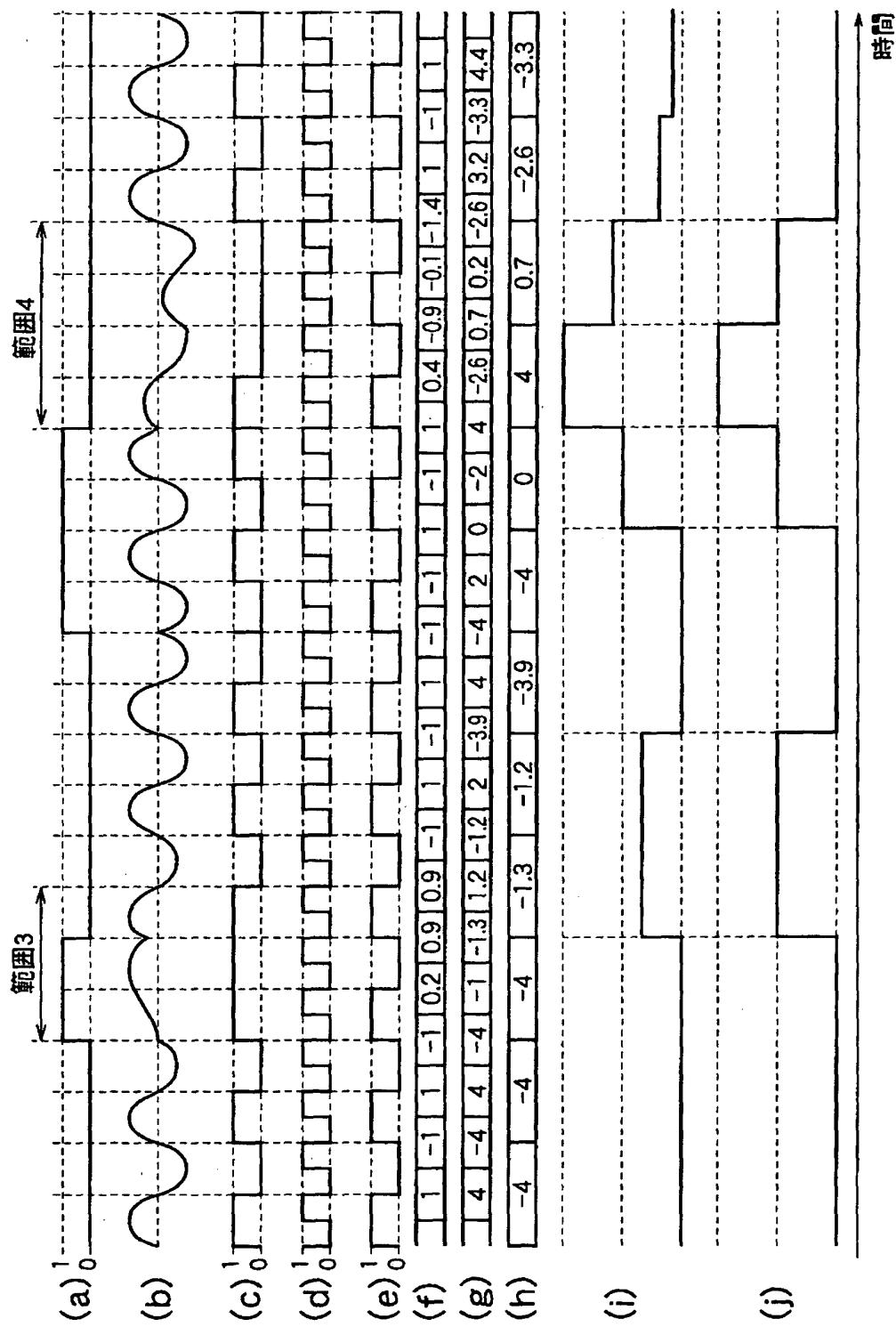
(a)



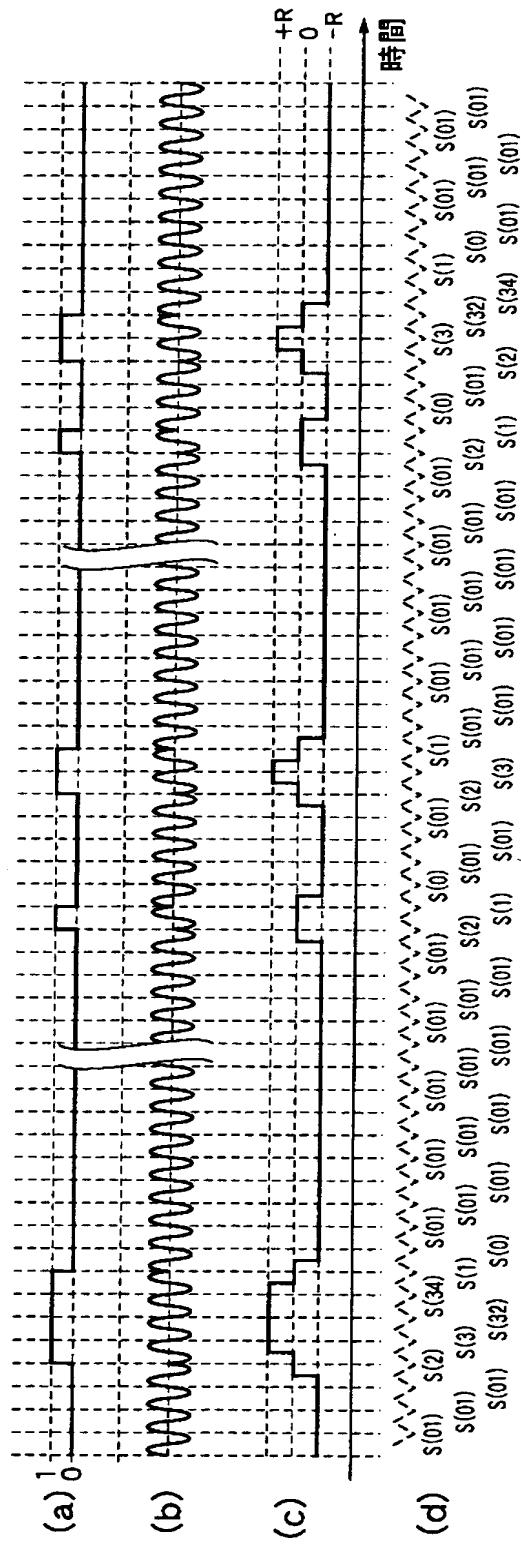
(b)



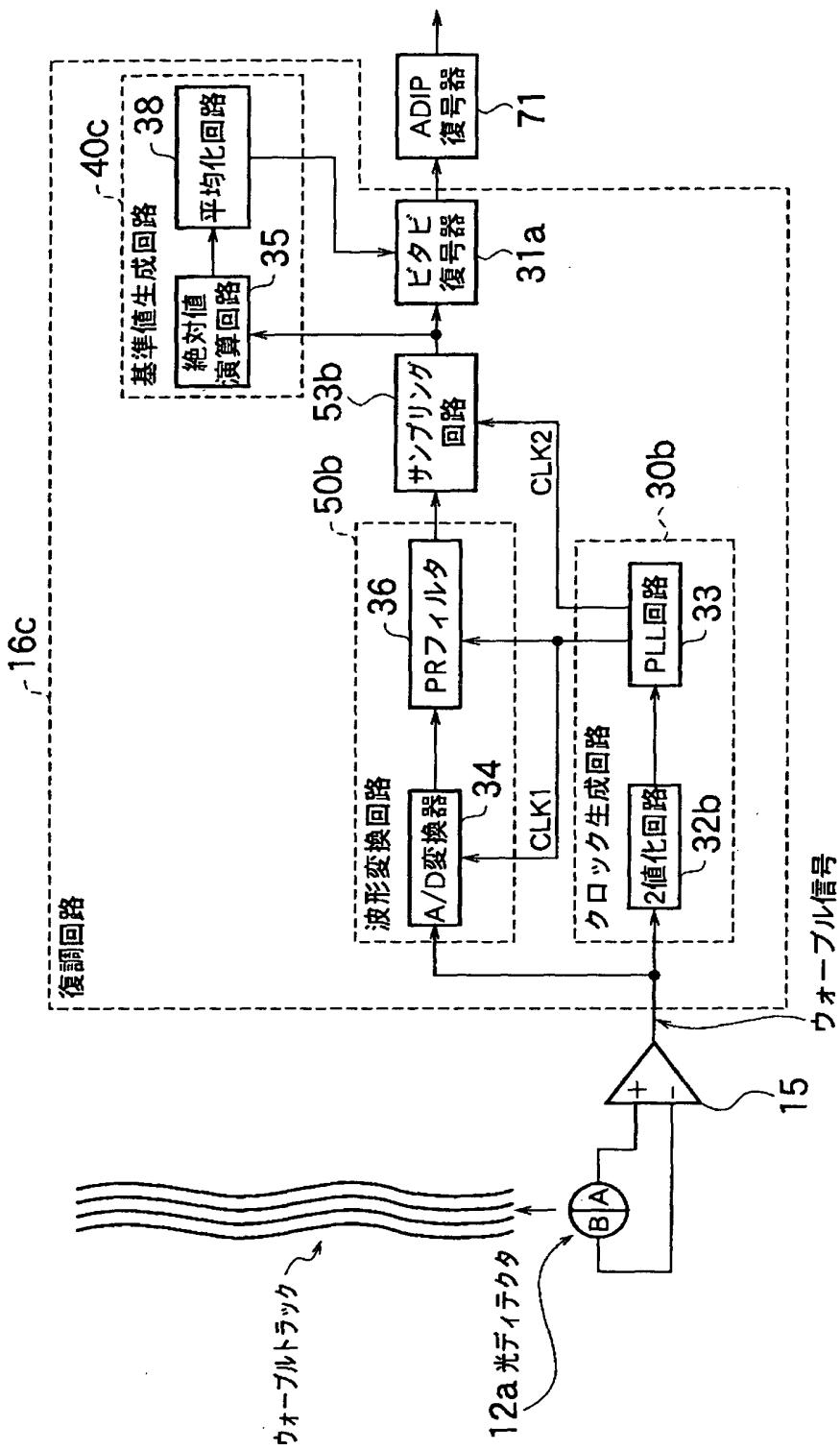
【図21】



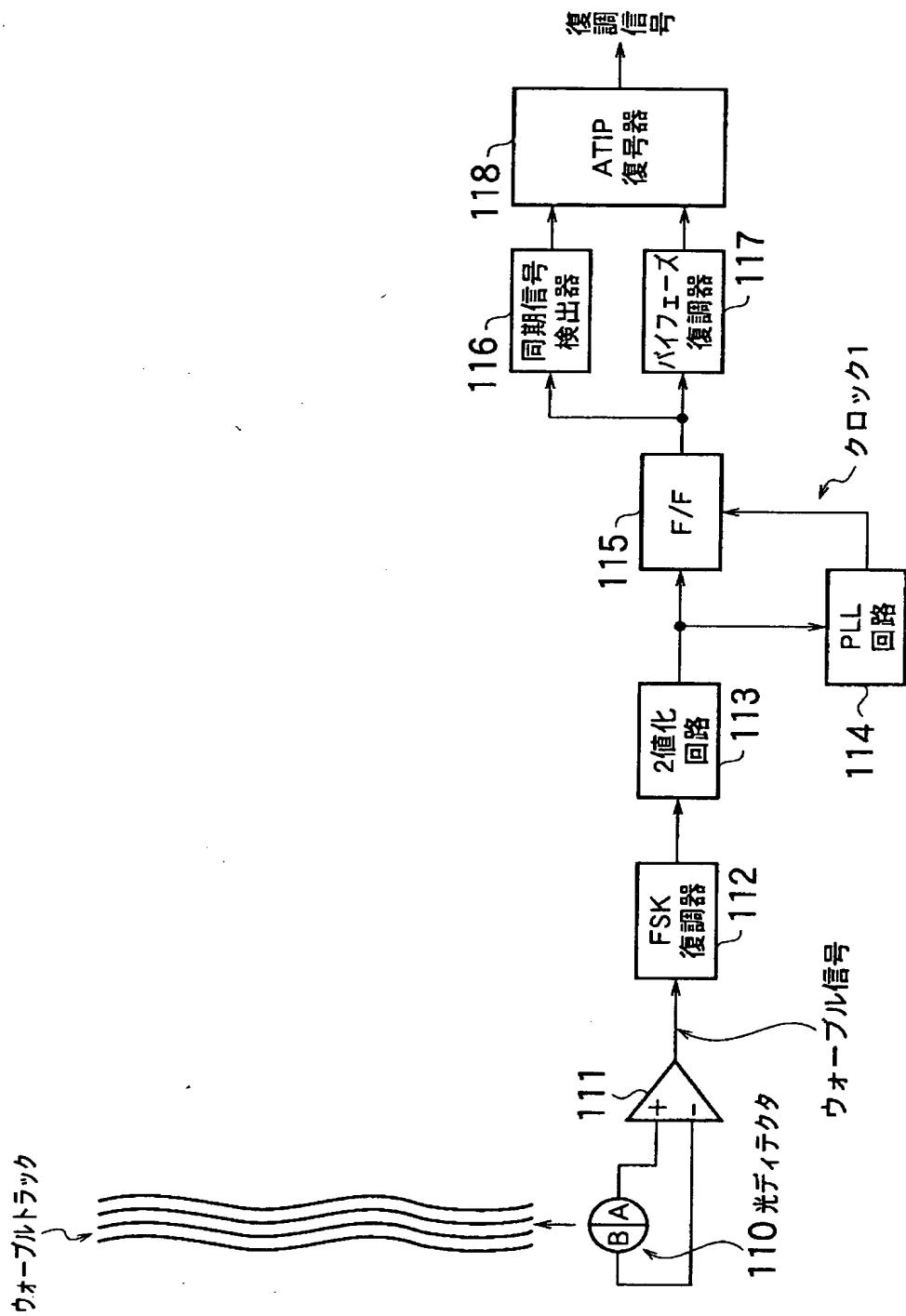
【図22】



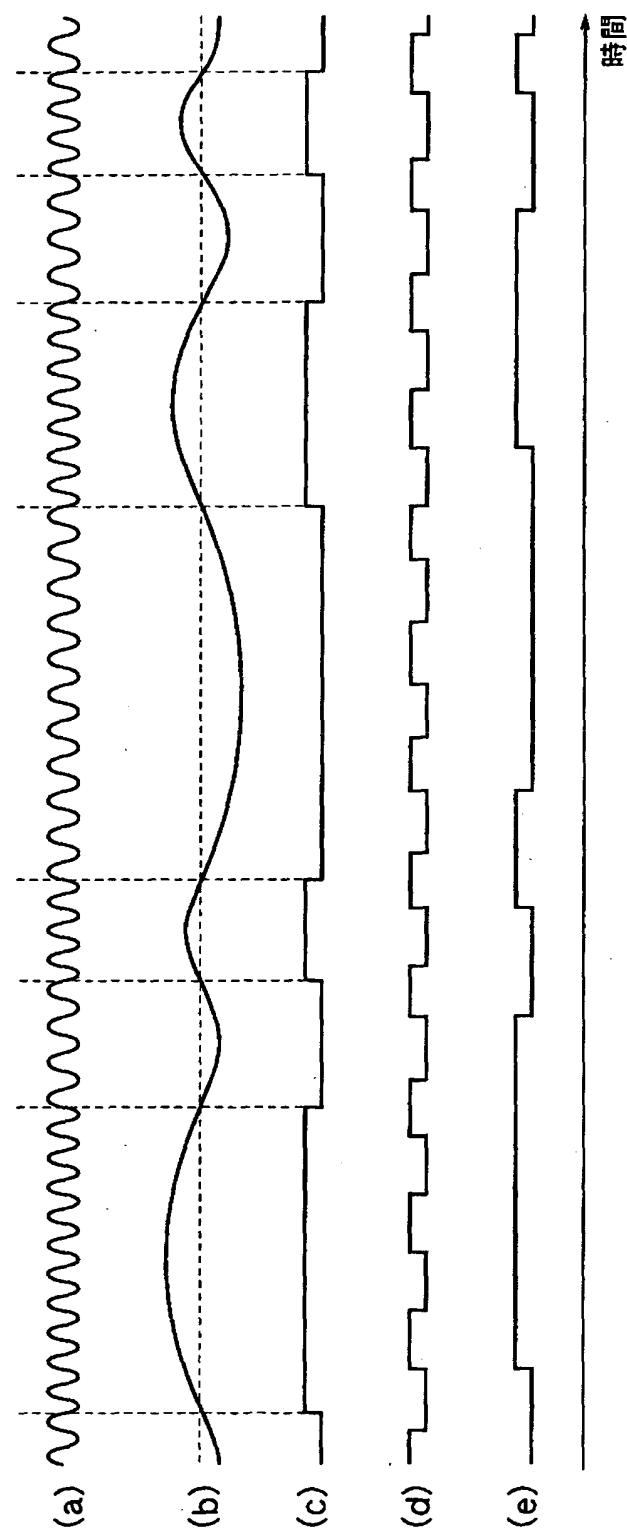
【図23】



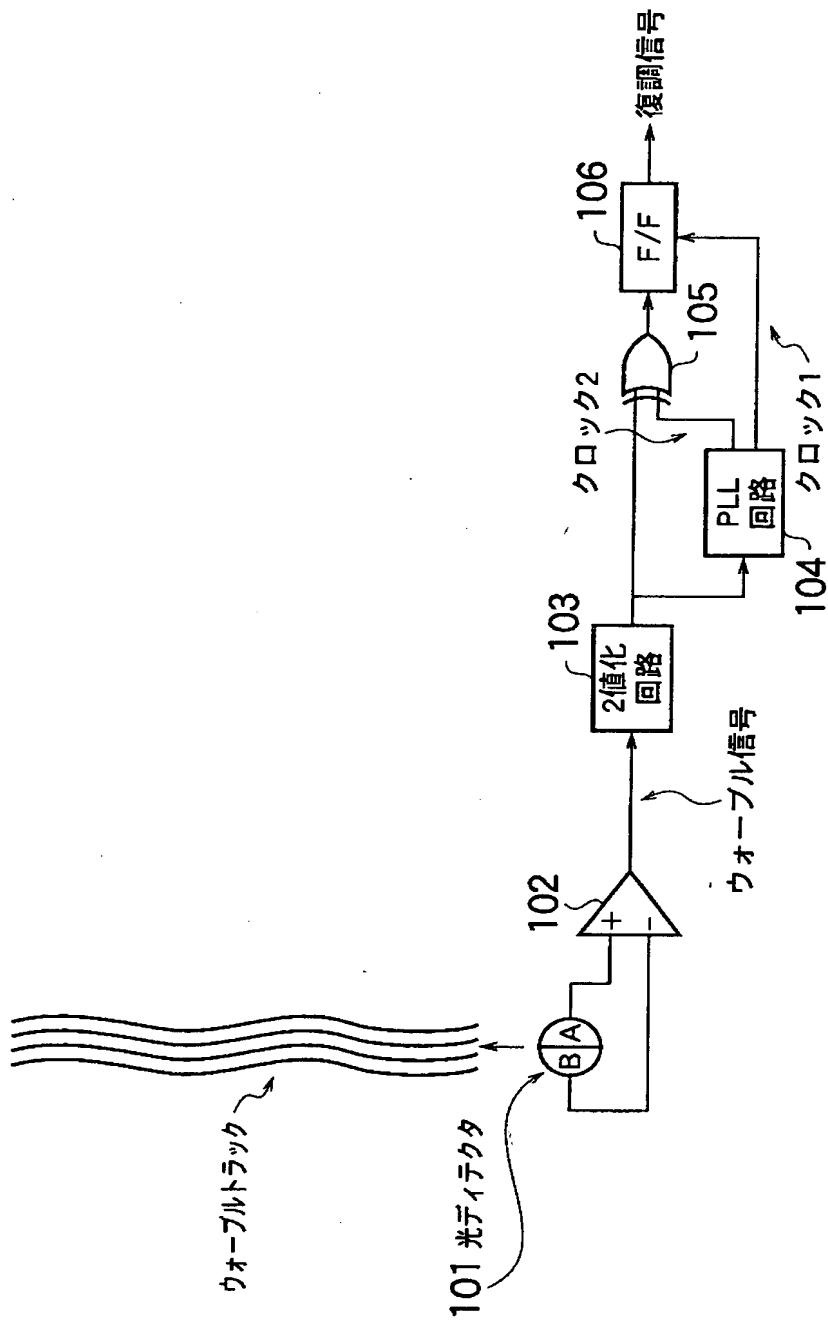
【図24】



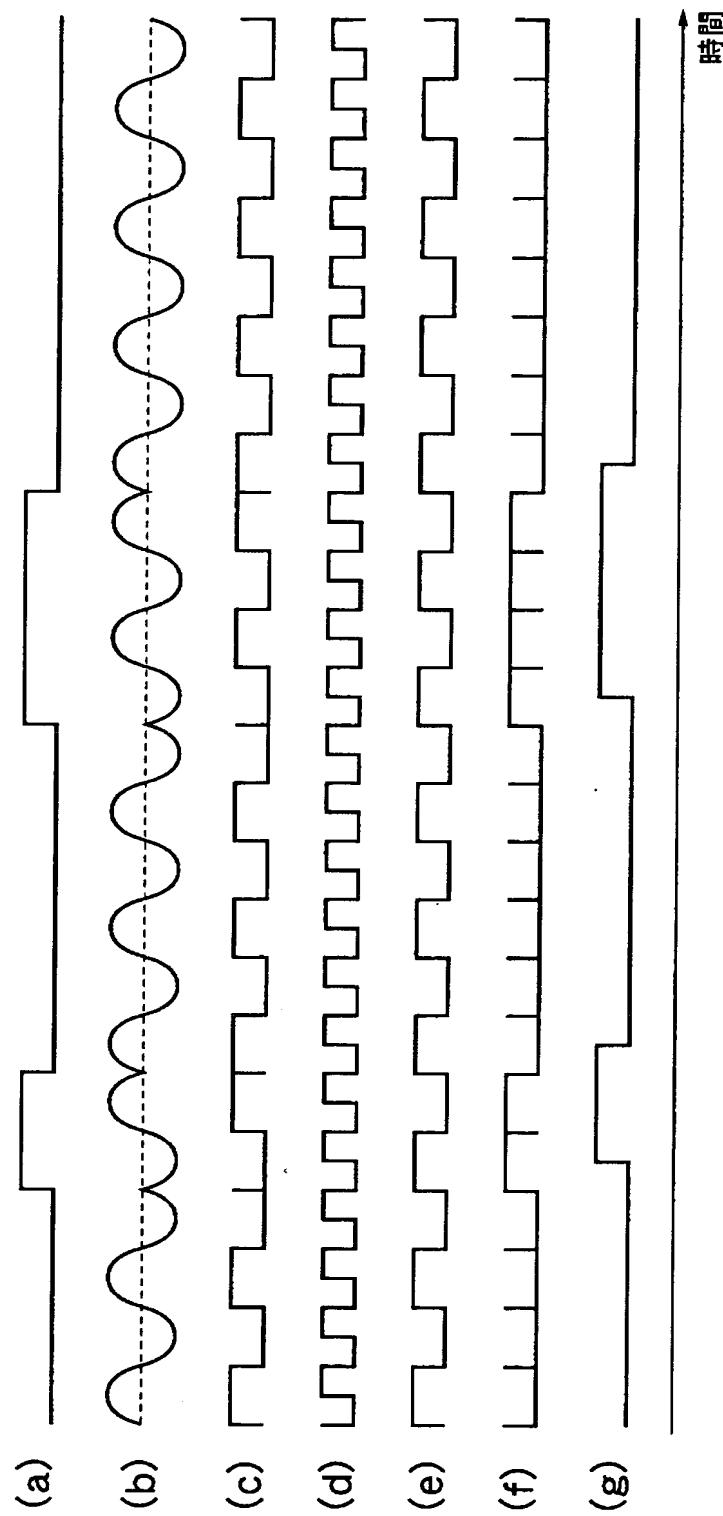
【図25】



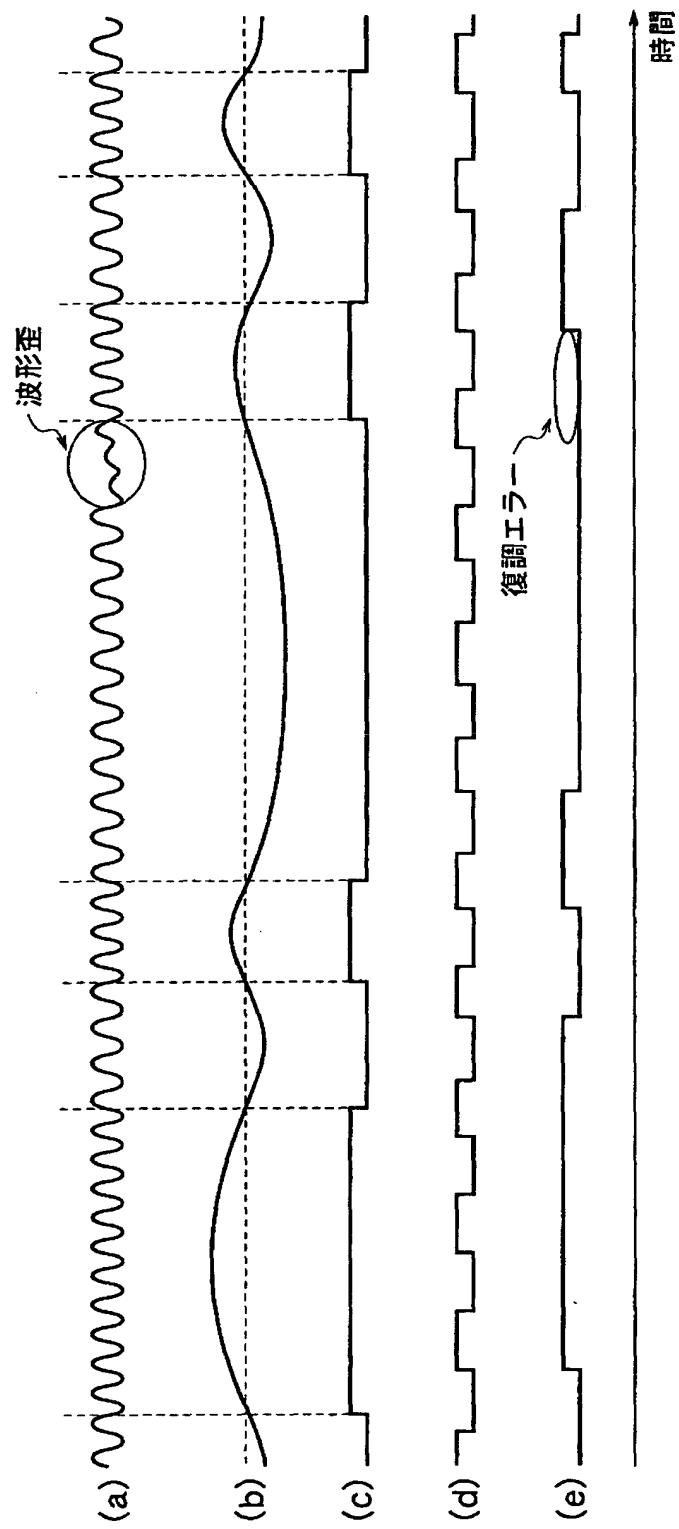
【図26】



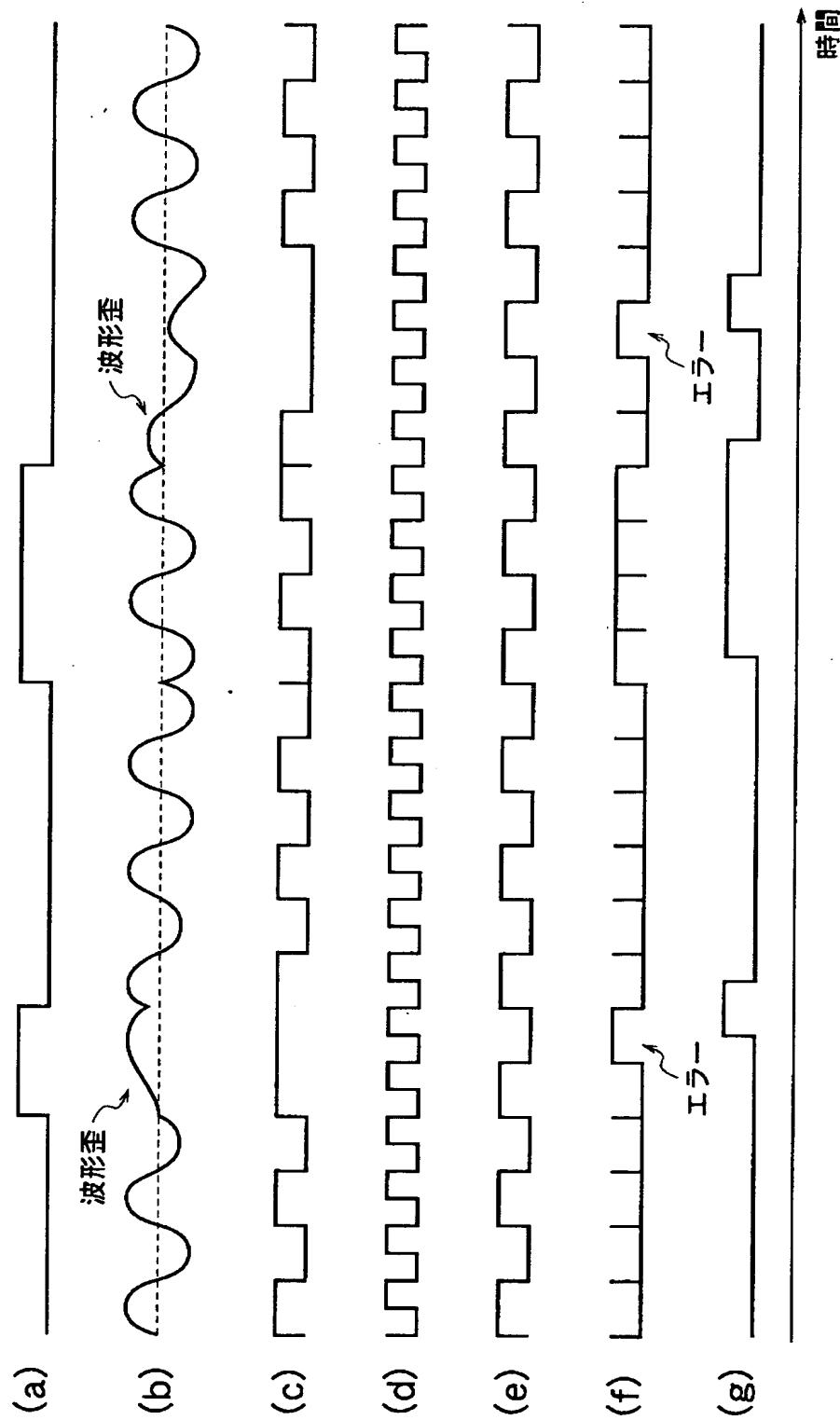
【図27】



【図28】



【図29】



【書類名】 要約書

【要約】

【課題】 ウォーブル信号のS/Nが著しく低下しても記録補助信号を正常に復調可能な復調回路を得る。

【解決手段】 高周波増幅器15が输出するウォーブル信号の波形を変換する波形変換回路50aと、波形変換回路50aの出力からビタビ復号に必要な基準値を生成する基準値生成回路40aと、基準値生成回路40aの出力と波形変換回路50aの出力に基づいてクロックCLKを生成するクロック生成回路30aと、クロックCLKと同期して波形変換回路50aの出力をサンプリングするサンプリング回路53aと、基準値生成回路40aが输出する基準値とサンプルド信号とにより記録補助信号を復号するビタビ復号器31aとを備える。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

出願人履歴情報

識別番号 [390010308]

1. 変更年月日 2000年 4月27日

[変更理由] 名称変更

住 所 東京都青梅市新町3丁目3番地の1

氏 名 東芝デジタルメディアエンジニアリング株式会社